

サンプル/ホールド型Phase-Locked Loop

清水 洋*, 池田一二**, 富田安志**, 本多誠一**

(昭和55年9月8日受理)

Sample-Hold type Phase-Locked Loop

HIROSHI SHIMIZU, KATSUJI IKEDA, YASUSHI TOMITA and SEIICHI HONDA

Abstract— This paper describes an improvement of un-locked characteristics in Phase-Locked Loop (PLL), by connecting some additional circuit. This circuit consists of a Sample-Hold circuit and an interrupted input signal Detector.

1. まえがき

Phase-Locked Loop (PLL)⁽¹⁾は能動RCフィルタやジャイレータフィルタと同様にインダクタンス回路をめざす機能素子であり、IC化によって今後、ますます広範な応用が期待される。

PLLの応用の一つとしてデータ通信におけるフレーム同期がある。フレーム同期に用いるためには入力信号がとだえた後、1フレーム時間の間、同期を保持しなければならない。しかし、通常のPLLでは入力信号がとだえると入力信号と無関係な電圧制御発振器(VCO)の自走発振周波数となり、1フレーム時間が長いと使用が困難となる。

本文はその改善の一手法としてPLLループ内にサンプル/ホールド回路(S/H回路)を付加することによりVCO制御電圧を記憶し、入力信号の瞬断時にもその情報に基づいてVCOが同期状態を保持することが可能なS/H型PLLを提案し、実験を行った。

2. PLLの基礎特性

図1にPLLの基本的な回路構成を示す。位相比較器(PC)で検出された位相誤差電圧はループフィルタ(LF)を通じて周波数・位相を制御する発振器(VCO)

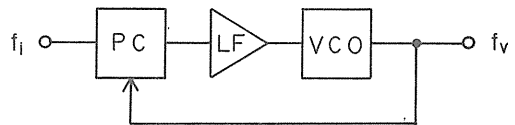


Fig. 1 Basic model of PLL

にフィードバックされ、出力信号の周波数・位相が入力信号のそれと常に一致するよう働く。

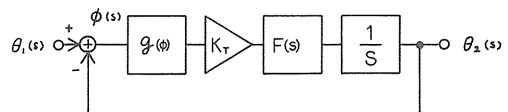


Fig. 2 Block diagram of PLL

PLLのブロック図は図2のように表わすことができ、これより次式が求められる。

$$[\theta_1(s) - \theta_2(s)] g(s) K_T F(s) \frac{1}{s} = \theta_2(s) \quad (1)$$

$$\phi(s) = \theta_1(s) - \theta_2(s) \quad (2)$$

ロック時においては、 $\phi = 0$ であり、 $g(0) \cdot K_T = K$ とおくと

* 茨城大学大学院工学研究科電子工学専攻(日立市中成沢町)
** 茨城大学工学部電子工学科(日立市中成沢町)

$$[\theta_1(s) - \theta_2(s)] K \cdot F(s) \frac{1}{s} = \theta_2(s) \quad (3)$$

$$\theta_2(s) = \frac{\frac{K F(s)}{S}}{1 + \frac{K F(s)}{S}} \theta_1(s) \quad (4)$$

$$H(s) = \frac{\theta_2(s)}{\theta_1(s)} = \frac{\frac{K F(s)}{S}}{1 + \frac{K F(s)}{S}} \quad (5)$$

となる。

H(s)は閉ループ伝達関数であり、ループゲインK及びループフィルタF(s)がPLLの特性を決定することがわかる。ループゲインはPC及びVCOのゲイン K_p , K_v また、ループフィルタLFやループ内に挿入されるアンプのDCゲインAによって決定される。

すなわち

$$K = K_p K_v A \quad (6)$$

$$K_p = \frac{dV_p}{d\phi_e} \quad (7)$$

$$K_v = \frac{df_v}{dV_v} \quad (8)$$

$$A = \frac{dV_v}{dV_p} \quad (9)$$

ここで

$\phi_e = \phi(o)$; 定常位相誤差

V_p ; PC出力電圧

V_v ; VCO入力電圧

と表わされる。

3. S/H型PLL

S/H回路と入力信号検出器DETをPLLに付加したS/H型PLLの回路構成を図3に示す。この回路に

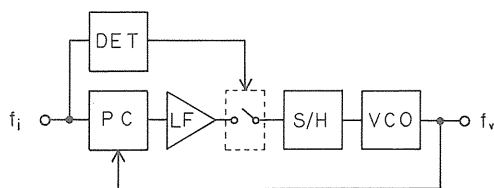


Fig. 3 S/H type PLL

おいて入力信号がとだえると、DETがそれを検出しサンプル回路のゲートを開きホールド状態となる。すると、VCOはホールド回路のロック時における情報により発振し同期状態を保つ⁽⁴⁾。次に入力信号が回復するとDETがサンプル回路のゲートを閉じ新たな情報がVCOに加わり再同期をとるが、先の情報によって重み付けされているため同期時間が短縮される。

ホールド回路はコンデンサを用いたアナログホールド回路とし、さらに、ループフィルタLFと兼用し簡略化を計った。

4. ホールド特性

PLLに通常用いられるループフィルタLFには図4のラグリードフィルタと図5のアクティブフィルタがあ

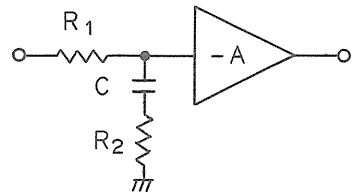


Fig. 4 Lag-lead filter

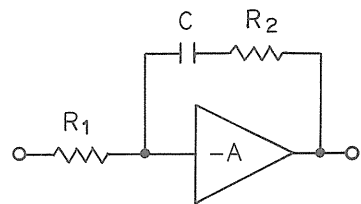


Fig. 5 Active filter

る。これらのフィルタはアンプの入力抵抗 R_i を十分高くすると、そのままホールド回路としても使用できる。

ホールド回路として用いた時の各フィルタの時間tに対する出力電圧 V_f の変化(放電特性)を求めると、次式で表わせる。

ラグリードフィルタの場合

$$V_f = V_{th} - V_o e^{-\frac{t}{C(R_i + R_2)}}$$

$$V_o = \frac{AR_i}{R_i + R_2} E_o$$

} (10)

ここで

V_{th} ; アンプの飽和電圧

E_0 ; Cの初期電圧

さらに $R_i \gg R_2$ と仮定すれば, 式(10)は次式となる。

$$\left. \begin{aligned} V_f &= V_{th} - V_o e^{-\frac{t}{CR_i}} \\ V_o &= AE_0 \end{aligned} \right\} (11)$$

アクティブフィルタの場合

$$\left. \begin{aligned} V_f &= V_{th} - V_o e^{-\frac{t}{CB}} \\ V_o &= \frac{AR_i}{B} E_0 \\ B &= (A+1)R_i + R_2 \end{aligned} \right\} (12)$$

さらに $(A+1)R_i \gg R_2$, $A \gg 1$ と仮定すれば, 式(12)は次式となる。

$$\left. \begin{aligned} V_f &= V_{th} - V_o e^{-\frac{t}{CAR_i}} \\ V_o &= E_0 \end{aligned} \right\} (13)$$

このようなホールド回路を用いた場合の入力周波数 f_i に対する出力周波数 f_v の周波数比 γ を求めると, 式(8)より

$$f_v = K_v V_v + f_o \quad (14)$$

ただし f_o ; VCOの自走周波数

$$V_v = V_f \quad (15)$$

$$\gamma = \frac{f_v}{f_i} = \frac{K_v V_f + f_o}{f_i} \quad (16)$$

ラグリードフィルタの場合, 式(11), (16)より

$$\gamma = \frac{K_v (V_{th} - V_o e^{-\frac{t}{CR_i}}) + f_o}{f_i} \quad (17)$$

$$V_o = V_{th} - \frac{f_i - f_o}{K_v} \quad (18)$$

アクティブフィルタの場合, 式(13), (16)より

$$\gamma = \frac{K_v (V_{th} - V_o e^{-\frac{t}{CAR_i}}) + f_o}{f_i} \quad (19)$$

と表わされる。

5. 実験結果

実験回路を図6に, また実験に使用したPC (MC 4044) 及びVCO (SN74LS124) の特性を図7,

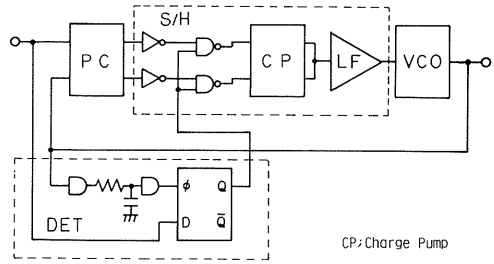


Fig. 6 Experimental circuit

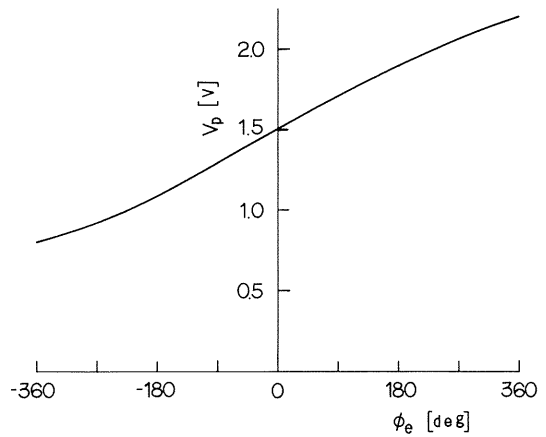


Fig. 7 PC characteristic

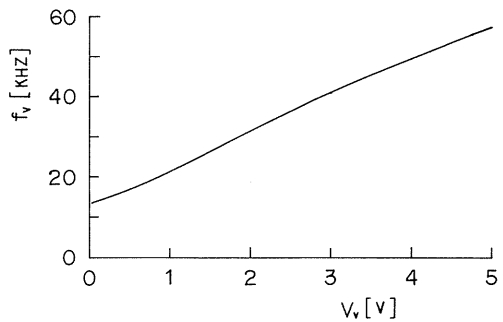


Fig. 8 VCO characteristic

8に示す。⁽³⁾この傾きより, $K_p = 1.94 \times 10^{-3}$ [V/deg], $K_v = 8.93 \times 10^3$ [Hz/V]と決定される。

図9に時定数 $R_1 = 10 K\Omega$, $R_2 = 1 K\Omega$, $C = 0.1 \mu F$ 一定とした時の各フィルタについて V_f の放電

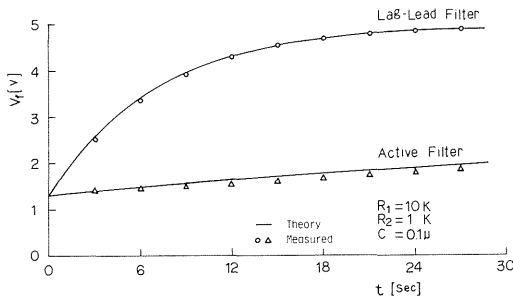


Fig. 9 Discharge characteristics of LF

特性を示す。アクティブフィルタは R_i が等価的にA倍となるため、ラグリードフィルタに比べてホールド効果が大きいことがわかる。

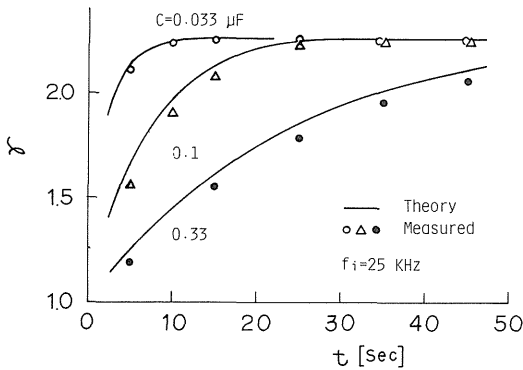


Fig. 10 Time variation of γ in Lag-lead filter

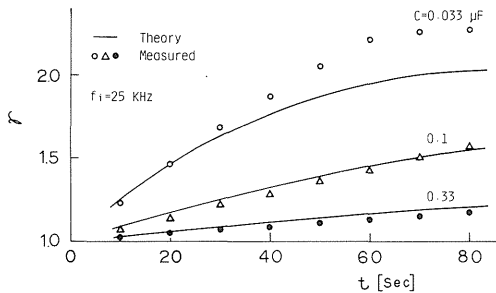


Fig. 11 Time variation of γ in Active filter

図 10, 11 はラグリードフィルタ及びアクティブフィルタについてCをパラメータとして γ の時間変化を測定したものである。なお、 $R_1 = 10 K\Omega$, $R_2 = 1 K\Omega$,

$f_i = 25 KHz$ を一定とした。 V_f のホールド特性が良好なアクティブフィルタを用いた方が明らかに γ の変化は小さく、周波数におけるホールド特性も良好となる。さらにアクティブフィルタを使用し、 $C = 0.33 \mu F$ とすると、周波数変化1%以内において5秒までのホールドが可能であることがわかる。

ところで、再同期に要する時間 T_r を測定するためにゲーティング時間10msのバースト信号を入力した時の V_f の変化を測定した。通常のPLLとS/H型について T_r のちがいを図12に示す。なお、LFには $R_1 = 10 K\Omega$, $R_2 = 1 K\Omega$, $C = 0.1 \mu F$ を用い、 $f_i = 40 KHz$ とした。 V_f が安定するまでの時間が T_r であり明らかにS/H型が速く、さらに過渡応答における

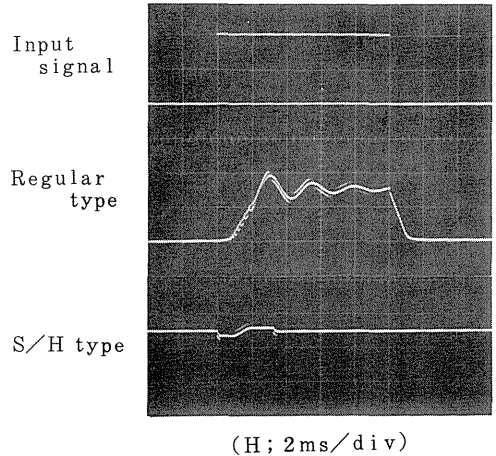


Fig. 12 V_f waveforms of regular and S/H type

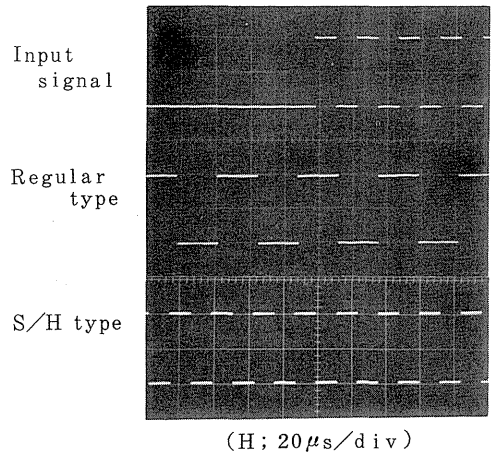


Fig. 13 Output waveforms of regular and S/H type

オーバーシュートも減少している。

また, この時の入力信号と出力信号の関係を測定したものが図 13 であり S/H 型のホールド効果が確かめられる。

6. むすび

ループフィルタをホールド回路として用い, わずかな付加回路で実現できる S/H 型 PLL について述べたが, さらに C-MOS タイプの VCO を使用することによってループフィルタ用のアンプも省略が可能である。また,

ホールド特性の高精度化にはデジタル・ホールド回路の使用も考えられるが, 今後の課題とする。

参 考 文 献

- (1) 畑, 古川: PLL-IC の使い方, 産報 (1976 年)
- (2) 柳沢: PLL 応用回路, 総合電子 (S. 52 年)
- (3) Phase-Locked Loop Systems MOTOROLA S.P. Inc.
- (4) 牧野, 道端: 初期位相制御形メモリ付 PLO の基礎検討, 信学技報, CS75-107, (1975 年)