

# A D C用キャパシタアレイの精度に関する検討

市毛勝正\*, 塚元康輔\*\*, 綿引 猛\*\*, 宮田武雄\*\*

(昭和60年9月6日受理)

## Considerations in the Accuracy of Capacitor Array for ADC Applications

Katsumasa ICHIGE\*, Kousuke TSUKAMOTO\*\*, Takeshi WATAHIKI\*\* and Takeo MIYATA\*\*

*Abstract* — The accuracy of successive-approximation A/D converter is influenced by the magnitude of the errors generated by an internal D/A converter which is fabricated with a string of resistors or binary-weighted capacitor arrays.

This paper describes the analysis of the capacitor array used in self-calibrating A/D converters. Assuming that the capacitance variation in the capacitor array is a uniform random distribution, the relationship between the capacitance variations and the accuracy of the internal D/A converter is clarified.

Also, the calibration circuit accuracy required to achieve highly accurate A/D conversion is shown.

### 1. ま え が き

近年のLSI技術の発展により低コストのモノリシックA/D変換器(ADC)LSIを実現できるようになり、すでに抵抗ストリングや容量アレイを使った逐次比較方式ADC・LSIが実用化されている<sup>(1)(2)</sup>。これらの応用分野として、従来は計測・制御分野が主であったが、最近では音声のPCM通信やデジタル・オーディオ用として注目を浴びている。それに伴い、14~16ビット以上の高精度なA/D変換器の必要性が高まってきた。

現在、モノリシックICによる逐次比較方式ADCはICプロセス上10ビット程度の精度が限界である<sup>(3)</sup>。そこで、上記の要求を実現するために各種の校正方式が提

案されている<sup>(4)~(8)</sup>。その1つに、自己校正方式電荷再分配形ADCがある<sup>(4)(6)</sup>。自己校正方式においては、十分な校正効果が得られるような補正用キャパシタとキャリブレーション回路を決定するために、キャパシタアレイの誤差とこれに起因するD/A変換回路の精度との関係を把握することが重要である。しかし、上記事項に関する理論的検討はまだ十分になされていない<sup>(6)</sup>。本報では、キャパシタアレイの精度とDACの出力偏差及び量子化誤差との関係、さらに必要とされる補正用キャパシタの容量値及びキャリブレーションDAC(CALDAC)の分解能・精度について理論的に解析し、コンピュータ・シミュレーションによりそれらの関係を明らかにした。

\* 茨城大学大学院工学研究科電子工学専攻(日立市中成沢町)

Graduate Student, Department of Electronic Engineering, Faculty of Engineering, Ibaraki University, Hitachi 316, Japan

\*\* 茨城大学工学部電子工学科(日立市中成沢町)

Department of Electronic Engineering, Faculty of Engineering, Ibaraki University, Hitachi 316, Japan

2. 自己校正方式電荷再分配形ADC

2進の重み付けされたキャパシタアレイを用いた逐次比較方式ADC(電荷再分配形ADC)の回路構成及び動作原理はよく知られており<sup>(1)</sup>, A/D変換器の変換誤差の主要因としてキャパシタ間の容量比の整合性が挙げられる。例えば, NビットのA/D変換器を考え, 各キャパシタの容量を  $C_i$ , 理想容量を  $C_{i,0}$ , 誤差容量を  $\Delta C_i$ とすると, これらの関係は次式で与えられ,

$$\Delta C_i = C_i - C_{i,0} \tag{1}$$

A/D変換式は式(2)のかたちとなり, 第2項で表される変換誤差が発生する。

$$V_{in} = \left\{ \frac{1}{2} b_N + \left( \frac{1}{2} \right)^2 b_{N-1} + \dots + \left( \frac{1}{2} \right)^N b_1 \right\} V_{ref} + \frac{1}{C_T} (\Delta C_N b_N + \Delta C_{N-1} b_{N-1} + \dots + \Delta C_1 b_1) V_{ref} + \epsilon \tag{2}$$

ここで, キャパシタアレイの全容量を  $C_T$ , デジタルデータを  $b_N b_{N-1} \dots b_2 b_1$ , 量子化誤差を  $\epsilon$ とした。このような容量誤差  $\Delta C_i$ により, 現状ではMOS・ICによる電荷再分配形ADCは10ビット精度が限界となっている<sup>(3)</sup>。そのため, 高精度なA/D変換器を実現するためには誤差を補正する必要がある。

本報で取り挙げる自己校正方式電荷再分配形ADC<sup>(4)</sup>は, 電荷再分配形ADCにキャリブレーション回路を付加し, あらかじめ回路自身がキャパシタの誤差を算出し(誤差検出サイクル), A/D変換時(変換サイクル)にはこれに基づいてキャパシタの誤差を補正しながら高精度なA/D変換を行うものである。

Fig. 1に自己校正方式ADCのブロック図を示す。DACの上位ビット(MAIN DAC: Nビット)には2進の重み付けされたキャパシタアレイが, 下位ビット(SUB DAC: nビット)及びCAL DAC(Mビット)には抵抗ストリングが使われている。各サイクルの動作を以下に記述する。

(1) 誤差検出サイクル

本サイクルはMSBのキャパシタの誤差を測ることから始まる。MSBのキャパシタの誤差を測定するとき, そのキャパシタを除いた全てのキャパシタを基準

電圧  $V_{ref}$ でサンプリングする。このとき, MSBのキャパシタとキャパシタアレイの上端は0[V]とする。次に, スイッチを切り換えて電荷を再分配する。このとき, MSBのキャパシタの不整合のためアレイ上端に残差電圧  $V_{XN}$ が生じる。この残差電圧はキャリブレーションDACを使って逐次比較方式により誤差データとしてデジタル化される。同様な操作を繰り返して行うことにより全キャパシタに関する誤差データを求める。

次に, 変換サイクルで誤差電圧を補正するためにCAL DACに入力する校正データを求める。i番目のキャパシタに関する校正データは, 1番目のキャパシタ(MSB)から(i-1)番目のキャパシタに関する誤差データを演算することにより得られる。得られた校正データはデータレジスタに蓄えられる。

(2) 変換サイクル

本サイクルでは(1)で求めた校正データをキャリブレーションDACに入力することにより校正電圧を出力し, 補正用キャパシタを介してキャパシタの不整合による非直線性誤差を校正しながら逐次比較方式によりA/D変換を行う。

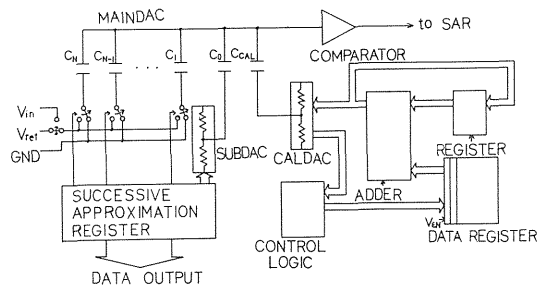


Fig. 1 Block diagram of self-calibrating A/D converter.

3. キャパシタアレイの精度

キャパシタアレイの不整合はいくつかの原因から生じ, キャパシタの側部エッチングの制御が不完全なために起こるアンダーカットや酸化物の成長状態が様でないために酸化物が勾配を持ってしまうということが原因として挙げられる。これらの影響はキャパシタの配置を考慮することにより最小にすることが出来るが, その方法でアレイを構成してもランダム端の変化は存在してしまい, それが不整合の原因となってしまう<sup>(1)</sup>。

本報では, 自己校正方式ADCのMAIN DACは上記方法で単位キャパシタを組み合わせる構成されたものとし, 従って誤差は一方方向性のもではなく Fig. 2に示すように一様なランダム分布をなすとして以後の検討を進めていく。

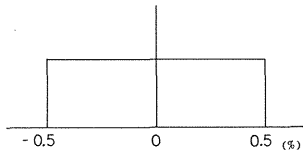


Fig. 2 Distribution of capacitance error.

キャパシタアレイを用いたA/D変換器ではキャパシタの相対誤差が問題となる。従って, ここでは単位キャパシタの容量値誤差及びビット数と相対誤差との関係を示す。各キャパシタは Fig. 2に示された分布からランダムに抽出した単位キャパシタで構成し, 相対誤差は式(3)に従うものとしてシミュレーションを行った。ここで, 理想単位容量をCとする。

$$\text{相対誤差} = (C_i - 2^{i-1}C) / 2^{i-1}C \quad (3)$$

Fig. 3にシミュレーション結果を示す。Fig. 3(a)~(c)に単位容量を0.5 [pF], 容量値誤差を±0.5 [%]とし, ビット数を8, 10, 12としたときの重み付きキャパシタの誤差分布をそれぞれ示す。サンプル数は100個である。また, Fig. 3(d)にビット数を10, 容量値誤差を±1.0 [%]としたときの誤差分布を示す。図より, 容量値が大きくなるに従い相対誤差が小さくなっていることが分か

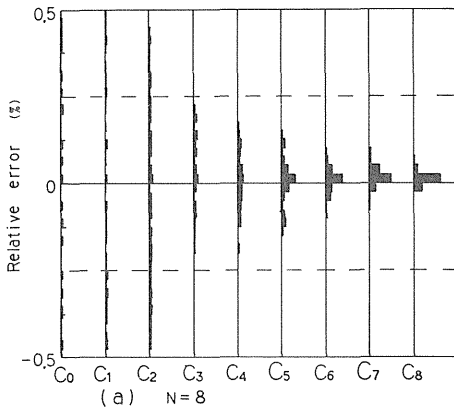
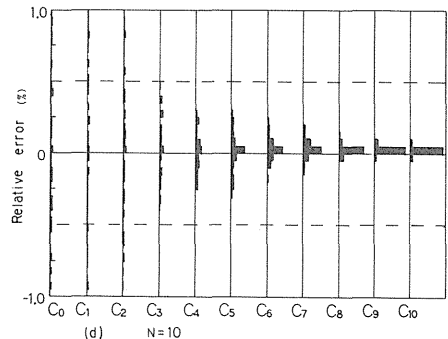
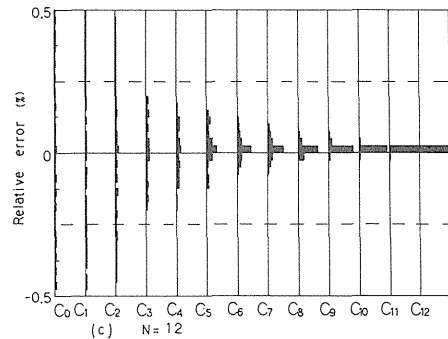
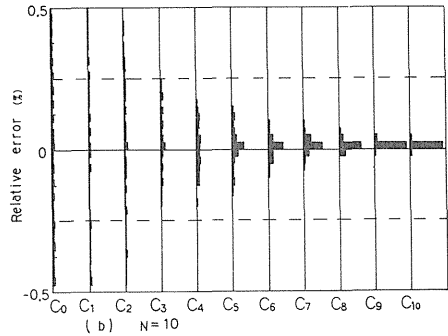


Fig. 3 Distribution of capacitor errors. Vertical axis is the fractional ratio error while the horizontal axis is the frequency of occurrence for each capacitor.

る。これは容量値が大きくなるとキャパシタを構成する単位キャパシタの数が増加するため誤差の平均化がなされることによるものと思われる。このことはビット数が増加するとMSBにおける誤差のばらつきが小さくなっていることから確認できる。



#### 4. 出力偏差及び量子化誤差

ここでは, A/D変換器を構成しているD/A変換回路の出力偏差及び量子化誤差について述べる。D/A変換回路はキャパシタアレイと抵抗ストリングで構成され

ている。抵抗ストリングは単調性があるため、補正はキャパシタアレイの誤差に関してなされれば十分実用的な変換器が得られると思われる。そこで、SUB DAC の特性を仮定したうえでキャパシタの素子偏差と出力偏差及び量子化誤差との関係について検討を進める。

#### 4.1 理論的解析

Fig. 1 でキャパシタ  $C_i$  が平均単位容量  $\bar{c}$  から各々  $(1 + \epsilon_i)$  のばらつきを持つとすれば、 $C_i$  は次式で表せる。

$$C_0 = \bar{c}(1 + \epsilon_0) \quad [i = 0] \quad (4a)$$

$$C_i = 2^{i-1} \cdot \bar{c}(1 + \epsilon_i) \quad [i = 1, 2, \dots, N] \quad (4b)$$

ここで、 $\bar{c}$  はキャパシタアレイの全容量を  $C_T$ 、ビット数を  $N$  とすれば次式のように表せる。

$$\bar{c} = \frac{C_T}{2^N} = (C_0 + C_1 + \dots + C_N) / 2^N \quad (5)$$

上式の右辺に左(4)を代入し、両辺を比較することにより次式を得る。

$$\epsilon_0 + \sum_{i=1}^N 2^{i-1} \epsilon_i = 0 \quad (6)$$

これは、容量値のばらつきの総和が零であることを示している。

交換に際して、 $C_i$  から  $C_N$  については供給電圧に  $V_{ref}$  を  $C_0$  については SUB DAC の出力電圧  $V_{SUB,0}$   $(1 + \delta)$  を使用する。ここで、 $V_{SUB,0}$  は式(7)で与えられる理想的な出力電圧であり、 $\delta$  は SUB DAC の誤差である。なお、 $\delta$  は SUB DAC のデジタル入力コードの各ディジットを  $d_j$  ( $j = 1, 2, \dots, n$ ) として  $\delta = f(\sum_{j=1}^n 2^{j-1} d_j)$  で与えられるものとする。

$$V_{SUB,0} = \frac{\sum_{j=1}^n 2^{j-1} d_j}{2^n} V_{ref} \quad (7)$$

よって、デジタル入力コードを上位が  $D_N D_{N-1} \dots D_2 D_1$ 、下位が  $d_n d_{n-1} \dots d_2 d_1$  であるとする、全体としての DAC の出力電圧は次式で表せる。

$$V_0 = \frac{V_{ref}}{C_T} \sum_{i=1}^N C_i D_i + \frac{C_0}{C_T} V_{SUB,0} (1 + \delta) \quad (8)$$

ここで、式(4)、(5)、(7)を上式に代入することにより次式

を得る。

$$V_0 = \frac{1}{2^N} \sum_{i=1}^N 2^{i-1} (1 + \epsilon_i) D_i V_{ref} + \frac{1}{2^{N+n}} (1 + \epsilon_0) \sum_{j=1}^n 2^{j-1} d_j (1 + \delta) V_{ref} \quad (9)$$

また、DAC の理想的出力電圧  $V_{0,\delta}$  は式(9)において  $\epsilon_i = 0$ 、 $\delta = 0$  とした時であるから、

$$V_{0,\delta} = \frac{1}{2^N} \left\{ \sum_{i=1}^N 2^{i-1} D_i + \frac{1}{2^n} \sum_{j=1}^n 2^{j-1} d_j \right\} V_{ref} \quad (10)$$

となる。従って、出力偏差 (誤差電圧)  $V_{oerr}$  は次式となる。

$$V_{oerr} = \frac{V_{ref}}{2^N} \sum_{i=1}^N 2^{i-1} \epsilon_i D_i + \frac{V_{ref}}{2^{N+n}} \left\{ \epsilon_0 (1 + \delta) + \delta \sum_{j=1}^n 2^{j-1} d_j \right\} \quad (11)$$

量子化誤差  $E_q$  は、 $V_0$  を入力コード  $(D + d)$  の関数と考えることにより次式で定義する。

$$E_q(D + d) = V_0(D + d + 1) - V_0(D + d) \quad (12)$$

$$\text{ただし、} D + d = 2^N \sum_{i=1}^N 2^{i-1} D_i + \sum_{j=1}^n 2^{j-1} d_j$$

#### 4.2 シミュレーション結果

ここでは、3で検討したキャパシタの誤差分布に基づき出力偏差及び量子化誤差について計算した結果を示す。その際、次の2つのケースについて計算を行った。

- (1) ケース 1: キャパシタの誤差分布から出力偏差が最大になると思われるキャパシタの組み合わせたもの。
- (2) ケース 2: キャパシタの誤差分布からランダムにキャパシタを組み合わせる出力偏差及び量子化誤差の計算を多数回繰り返した中から最悪の場合を抽出したものの。

Table. 1, Table. 2 にそれぞれ式(12)、(13)に基づいて計算した出力偏差及び量子化誤差を示す。なお、SUB DAC の出力電圧は次式で与える。(付録参照)

$$V_{SUB} = \left\{ \left\{ \frac{(2^n - 1) + \text{Gerr} - \text{Oerr}}{2^n} \right\} \cdot \frac{d}{2^{n-1}} + \frac{\text{Oerr} + \epsilon_R}{2^n} \right\} V_{ref} \quad (13)$$

ここで, 非直線性誤差を  $\varepsilon_R (= 0.2 \text{ [LSB]})$ , ゲイン誤差を  $G_{err} (= 0.5 \text{ [LSB]})$ , オフセット誤差を  $O_{err} (= 0.5 \text{ [LSB]})$ , 入力データを  $d$  とし, またこれらの値を以後の計算においても用いた。表より, 出力偏差及び量子化誤差は容量値誤差に比例し, MAIN DAC のビット数の増加分にはほぼ反比例していることが分かる。次にケース 1 とケース 2 の比較を行う。出力偏差に関しては容量値誤差が  $0.5 \text{ [%]}$  の場合はほぼ等しい値となっている。しかし, 容量値誤差が増加するとその差が大きくなっている。また, 量子化誤差に関してはケース 2 の値はケース 1 の値のほぼ半分になっている。

(LSB)			
Capacitance error Resolution (%) (MAIN-SUB)	0.5	1.0	2.0
8 - 8 bits	-- $\frac{26}{15}$ --		
10 - 6	-- $\frac{12}{11}$ --	-- $\frac{34}{18}$ --	-- $\frac{68}{28}$ --
12 - 4	-- $\frac{8}{6}$ --		

Case 1  
Case 2

Table 1 Output errors of the internal DAC.

(LSB)			
Capacitance error Resolution (%) (MAIN-SUB)	0.5	1.0	2.0
8 - 8 bits	-- $\frac{48}{22}$ --		
10 - 6	-- $\frac{32}{11}$ --	-- $\frac{66}{28}$ --	-- $\frac{132}{37}$ --
12 - 4	-- $\frac{14}{7}$ --		

Case 1  
Case 2

Table 2 Quantization errors of the internal DAC.

## 5. キャリブレーションの精度

自己校正方式 ADC において, 補正用キャパシタ  $C_{CAL}$  と補正電圧を供給する CAL DAC のビット数及び精度が変換誤差の補正可能範囲と補正精度を決定する。以下, それらについて検討する。

### 5.1 理想的解析

#### 5.1.1 補正用キャパシタ

補正用キャパシタの容量値は誤差補正の分解能という観点からは小さい方が良いが, 誤差電圧の最大値を補正

するのに十分な値でなければならない。ここでは,  $C_{CAL}$  の容量値の決定条件を各サイクルについて述べる。

#### (1) 誤差検出サイクル

本サイクルでは, 2 の (1) で述べた動作により残差電圧を算出し, 誤差データを求めている。

基準電圧  $V_{ref}$  のサンプリングにおいて, アレイ上端に蓄積される電荷の総量  $Q_i$  は式 (14) で表せる。

$$Q_0 = -\bar{c}(1 + \varepsilon_1)V_{ref} \quad [i = 0] \quad (14a)$$

$$Q_1 = -\bar{c}(1 + \varepsilon_0)V_{ref} \quad [i = 1] \quad (14b)$$

$$Q_i = -\bar{c}\left\{(1 + \varepsilon_0) + \sum_{k=1}^{i-1} 2^{k-1}(1 + \varepsilon_k)\right\}V_{ref} \quad [i = 2, 3, \dots, N] \quad (14c)$$

次の再分配において, キャパシタの重みが正確でないときアレイ上端に残差電圧  $V_{xi}$  が生じる。このときのアレイ上端の蓄積電荷を  $Q_i'$  とすると,  $Q_i'$  は式 (15) のように表せる。

$$Q_0' = (C_T + C_{CAL})V_{x0} - \bar{c}(1 + \varepsilon_0)V_{ref} \quad [i = 0] \quad (15a)$$

$$Q_i' = (C_T + C_{CAL})V_{xi} - 2^{i-1}\bar{c}(1 + \varepsilon_i)V_{ref} \quad [i = 1, 2, \dots, N] \quad (15b)$$

電荷保存則より,  $Q_i = Q_i'$  となる。よって,  $V_{xi}$  は次式で与えられる。

$$V_{x0} = \frac{\bar{c}}{C_T + C_{CAL}} (\varepsilon_0 - \varepsilon_1)V_{ref} \quad [i = 0] \quad (16a)$$

$$V_{x1} = \frac{\bar{c}}{C_T + C_{CAL}} (\varepsilon_1 - \varepsilon_0)V_{ref} \quad [i = 1] \quad (16b)$$

$$V_{xi} = \frac{\bar{c}}{C_T + C_{CAL}} \left\{2^{i-1}\varepsilon_i - (\varepsilon_0 + \sum_{k=1}^{i-1} 2^{k-1}\varepsilon_k)\right\} V_{ref} \quad [i = 2, 3, \dots, N] \quad (16c)$$

誤差データは補正用キャパシタの下端に CAL DAC の出力電圧を供給し, アレイ上端の電圧を  $0 \text{ [V]}$  にすることにより得られる。誤差データを  $r_i$  とすると,  $V_{xi}$  と CAL DAC の出力との関係は次式で与えられる。

$$\frac{C_{CAL}}{C_T + C_{CAL}} \cdot \frac{r_i}{2^M} V_{rCAL} = V_{xi} \quad (17)$$

ただし、MをCAL DACのビット数、 $V_{rCAL}$ を基準電圧とした。ここで、 $V_{rCAL} = K \cdot V_{ref}$ とおき、式(17)を用いて式(16)を次のように変形する。

$$\frac{r_0}{2^M} C_{CAL} = \frac{\bar{c}}{K} (\epsilon_0 - \epsilon_1) \quad (18a)$$

$$\frac{r_1}{2^M} C_{CAL} = \frac{\bar{c}}{K} (\epsilon_1 - \epsilon_0) \quad (18b)$$

$$\frac{r_i}{2^M} C_{CAL} = \frac{\bar{c}}{K} \left\{ 2^{i-1} \epsilon_i - \left( \epsilon_0 + \sum_{k=1}^{i-1} 2^{k-1} \epsilon_k \right) \right\} \quad (18c)$$

上式において、 $r_i / 2^M < 1/2$  でなければならないから、本サイクルにおける補正用キャパシタの容量は次の不等式を満足する値でなければならない。

$$C_{CAL} > 2 \cdot \frac{\bar{c}}{K} \text{Max} \left[ \left| \epsilon_0 - \epsilon_1 \right|, \left| 2^{i-1} \epsilon_i - \left( \epsilon_0 + \sum_{k=1}^{i-1} 2^{k-1} \epsilon_k \right) \right| \right] \quad (19)$$

上式を第1の条件式とする。

## (2) 変換サイクル

2.において、キャパシタが誤差をもつ場合のA/D変換式を示した。ここで、式(2)の右辺第2項で示した誤差電圧をSUB DACと $C_{CAL}$ を考慮し式(20)で表すこととする。

$$V_{oerr}(D+d) = \frac{C_T}{C_T + C_{CAL}} \cdot \frac{1}{2^{N+n}} \left[ 2^n \sum_{i=1}^N 2^{i-1} \epsilon_i D_i + \{ \epsilon_0 (1+\delta) + \delta \} \sum_{j=1}^n 2^{j-1} d_j \right] V_{ref} \quad (20)$$

本サイクルにおいて、2.(2)で述べた動作により高精度なA/D変換を行うが、誤差電圧を補正するには、補正用キャパシタとCAL DACのフルスケール電圧から決定される最大補正電圧 $C_{CAL} \cdot V_{rCAL} / 2(C_T + C_{CAL})$ が最大誤差電圧 $\text{Max}\{|V_{oerr}(D+d)|\}$ より大きくなければならないことから次の関係を得る。

$$\frac{C_T}{C_T + C_{CAL}} \cdot \frac{V_{rCAL}}{2} \geq \text{Max}\{|V_{oerr}(D+d)|\} \quad (21)$$

ここで、 $V_{rCAL} = K \cdot V_{ref}$ 及び式(20)を上式に代入することにより補正用キャパシタの容量値に関する第2の条件式を得る。

$$C_{CAL} \geq \frac{C_T}{K \cdot 2^{N+n-1}} \text{Max} \left[ \left| 2^n \sum_{i=1}^N 2^{i-1} \epsilon_i D_i + \{ \epsilon_0 (1+\delta) + \delta \} \sum_{j=1}^n 2^{j-1} d_j \right| \right] \quad (22)$$

## 5.1.2 キャリブレーションDACのビット数

キャリブレーションは、変換サイクルでの誤差電圧をA/D変換器で要求される精度以下まで補正しなければならない。要求される精度を $1/XLSB (= V_{ref} / 2^{N+n} \cdot X)$ とすると、CAL DACの $1LSB (= V_{rCAL} / 2^M)$ との関係は次の不等式を満たさねばならない。

$$\frac{1}{X} \cdot \frac{1}{2^{N+n}} V_{ref} \geq \frac{1}{2^M} \cdot \frac{C_{CAL}}{C_T + C_{CAL}} V_{rCAL} \quad (23)$$

ここで、 $C_{CAL} = C_T / 2^{N+k}$ 、 $V_{rCAL} = K \cdot V_{ref}$ とおくとCAL DACのビット数Mに関する条件式として式(24)を得る。

$$M \geq N + n - \log_2(2^{N+k} + 1) + \log_2 X + \log_2 K \quad (24)$$

A/D変換器の精度を $1/2LSB$ 、 $V_{ref}$ と $V_{rCAL}$ との比を1として式(24)を変形すると、 $2^{N+k} \gg 1$ より次式で表せる。

$$M \geq n - k + 1 \quad (25)$$

上式より、kが大きくなる、すなわち $C_{CAL}$ の容量値が小さくなるとCAL DACのビット数が小さくなり得ることが分かる。

## 5.1.3 キャリブレーションDACの精度

CAL DACが誤差を有すると誤差検出サイクル及び変換サイクルにおいて、その影響が検出及び補正精度に現れてしまう。以下、必要とされるCAL DACの精度について検討する。

### (1) 残差電圧・誤差電圧

分解能Mビット、理想からの偏差が $\eta \cdot V_{rCAL} / 2^M$ で

あるCAL DACについて考える。

誤差検出サイクルにおいて, 残差電圧は偏差を考慮すると式(26)で与えられる。ここで,  $E_q(r_i)$ は本サイクルでの量子化誤差である。

$$V_{xi} = \frac{1}{2^M} \frac{\{r_i + \eta(r_i)\} C_{CAL}}{C_T + C_{CAL}} V_{rCAL} + E_q(r_i) \quad (26)$$

一方, 2.で述べた校正データを  $\alpha(D+d)$  とすると, 変換サイクルでA/D変換終了時の誤差電圧は次式で表すことができる。

$$V_{oerr}(D+d) = \frac{1}{2^M} \cdot \frac{\{\alpha(D+d) + \eta(\alpha(D+d))\}}{C_T + C_{CAL}} - \frac{C_{CAL}}{V_{rCAL} + V_e(\alpha(D+d))} \quad (27)$$

ここで, 上位及び下位ビットに対応する校正データを  $\alpha(D_i)$ ,  $\alpha(d_j)$  とすると  $\alpha(D_i)$ ,  $\alpha(d_j)$  と  $r_i$  との関係は式(28)で与えられ,  $\alpha(D+d)$  と  $\alpha(D_i)$ ,  $\alpha(d_j)$  との関係は式(29)で与えられる。

$$\alpha(D_i) = \frac{1}{2} r_i - \sum_{\ell=i-1}^N \left(\frac{1}{2}\right)^{\ell-i+1} r_\ell \quad (i = 1, 2, \dots, N) \quad (28 \cdot a)$$

$$\alpha(d_j) = \frac{2^{j-1}}{2^n} \left\{ \frac{1}{2} r_0 - \sum_{\ell=2}^n \left(\frac{1}{2}\right)^\ell r_\ell \right\} \quad (j = 1, 2, \dots, n) \quad (28 \cdot b)$$

$$\alpha(D+d) = \sum_{i=1}^N \alpha(D_i) D_i + \sum_{j=1}^n \alpha(d_j) d_j \quad (29)$$

以上, 残差電圧及び誤差電圧とCAL DACの出力電圧との関係を示したが, 式(27)中の  $V_e(\alpha(D+d))$  が校正精度を左右する項となっている。

### (2) 補正限界

式(27)の右辺第1項がCAL DACの出力電圧であるからこれと等しい誤差電圧は補正できるが, 右辺第2項で表された電圧は補正できないことになる。すなわち, この項が校正の限界を与えることになる。以下, 補正限界について検討を行う。

残差電圧  $V_{xi}$  と誤差電圧  $V_{oerr}(D+d)$  との関係のアナログ的観点から数式化すると次式のように表せる。

$$V_{oerr}(D+d) = \sum_{i=1}^N \left\{ \frac{1}{2} V_{xi} - \sum_{\ell=i+1}^N \left(\frac{1}{2}\right)^{\ell-i+1} V_{x\ell} \right\} D_i + \sum_{j=1}^n \left[ \frac{1}{2^{n-j+1}} \left\{ \frac{1}{2} V_{x0} - \sum_{\ell=2}^N \left(\frac{1}{2}\right)^\ell V_{x\ell} \right\} \right] d_j \quad (30)$$

よって, 補正限界は式(27), (30)より

$$V_e(\alpha(D+d)) = \sum_{i=1}^N \left\{ \frac{1}{2} V_{xi} - \sum_{\ell=i+1}^N \left(\frac{1}{2}\right)^{\ell-i+1} V_{x\ell} \right\} D_i + \sum_{j=1}^n \left[ \frac{1}{2^{n-j+1}} \left\{ \frac{1}{2} V_{x0} - \sum_{\ell=2}^N \left(\frac{1}{2}\right)^\ell V_{x\ell} \right\} \right] d_j - \frac{1}{2^M} \cdot \frac{\{\alpha(D+d) + \eta(\alpha(D+d))\} C_{CAL}}{C_T + C_{CAL}} \cdot V_{rCAL} \quad (31)$$

と表せる。

A/D変換器で要求される精度が  $1/2$  LSB のとき, 補正限界の最大値は  $1/2$  LSB 以下でなければならない。従って, 式(31)で得られる補正限界を用いて次の不等式が得られ, この不等式を満足する様キャリブレーションの精度を決めなければならない。

$$\text{Max} \left[ |V_e(\alpha(D+d))| \right] < \frac{1}{2^{N+n+1}} V_{ref} \quad (32)$$

### 5.2 シミュレーション結果

ここでは, 補正用キャパシタの容量値, CAL DACのビット数及び精度についてシミュレーションを行った結果を示す。

Table 3 に示(19), (22)に基づき計算した  $C_{CAL}$  の最小値を示す。これより, 補正用キャパシタの容量値はMAIN DACのビット数の増加分及び容量値誤差に比例していることが確認できる。また, ケース1の場合の容量値はケース2の場合の2倍の値となっている。

Table 4 と Table 5 に補正限界とCAL DACのビット数及び精度との関係をそれぞれ示す。なお, CAL DACの出力電圧は次式で与えられる。

$$V_{CAL} = \left\{ \left( \frac{2^{M-1} + G_{err} - O_{err}}{2^M} \right) \frac{d}{2^{M-1}} - \frac{1}{2} + \frac{O_{err} - \epsilon_R}{2^M} \right\} V_{rCAL} \quad (33)$$

$(-2^{M-1} \leq d \leq 2^{M-1} - 1)$

ここで、Table 4 の値は CAL DAC の精度を一定しオフセット誤差、ゲイン誤差 = 0.5 (LSB)、非直線性誤差 = 0.2 (LSB) として得た。

Table 4 より、CAL DAC のビット数を増やすことにより、補正限界値が小さくなっていることが分かる。また、Table 5 よりキャリブレーションのオフセット誤差やゲイン誤差は補正限界にはほとんど影響せず、非直線性誤差が影響を与えることが確認できる。

Fig. 4 に校正を行った場合と行わなかった場合の出力偏差を示す。校正は  $C_{CAL} = 0.125$  (pF)、CAL DAC の分解能を 8 ビットとして行った。図より、校正を行うことにより出力偏差を  $1/2$  LSB 程度に抑制できることが分かる。

Table 3 Capacitance values of Ccal.

Resolution (MAIN-SUB)	Capacitance error (%)	Ccal (pF)	
		Case 1	Case 2
8 - 8 bits	0.5	0.20	0.08
	1.0	0.52	0.21
10 - 6	1.0	1.05	0.43
12 - 4	0.5	0.97	0.46

Table 4 Relation between the limitation of the calibration and the resolution of the calibration DAC.

Resolution	8 bits	9	10	11	12
Output error (LSB)	1.10	0.74	0.62	0.57	0.51

$C_{cal} = 0.5$  (pF)

Table 5 Relation between the limitation of the calibration and the accuracy of the calibration DAC.

Gain error (LSB)	Offset error (LSB)	Linearity error (LSB)	Output error (LSB)
0	0	0.2	0.48
0	0	1.0	0.51
0.5	0.5	0	0.45
2.0	2.0	0	0.45
0.5	0.5	0.2	0.48

8-bit MAIN DAC, 4-bit SUB DAC, 7-bit calibration DAC

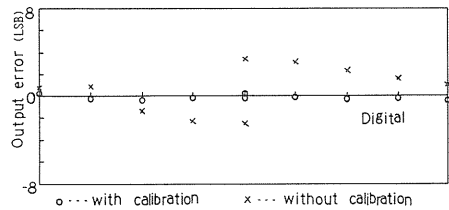


Fig. 4 Output error with and without calibration.

### 6. 検 討

3.において、キャパシタアレイのビット数が増えるに従い上位部の相対誤差の分布範囲の収束がなされ、それに伴い出力偏差及び量子化誤差が減少していることを述べ、その原因として容量の平均化の効果を挙げ、この効果は重み付きキャパシタを構成している単位キャパシタの数が多くなるほど顕著に現れていることを示した。そこで、キャパシタアレイを構成する単位キャパシタの容量値をプロセス上出来る限り小さくし、重み 1 のキャパシタも数個の単位キャパシタを組み合わせる構成にし、同様にすべてのキャパシタの構成数を増してキャパシタアレイを構成することを考える。すなわち、MAIN DAC を 10 ビットとしたとき、容量値  $0.5$  (pF) の単位キャパシタを 1,024 個作るのではなく、例えば容量値  $0.125$  (pF) の単位キャパシタを 4,096 個作りキャパシタアレイを構成するようになるということである。このようにした場合、Fig. 3 (C) からキャパシタの相対誤差は Fig. 5 に示す様になると予想され、それに伴い、容量値誤差に対する出力偏差及び量子化誤差は、Table 1、Table 2 に示した値より小さくなると考えられる。

上述した方法でキャパシタアレイを構成することをキャリブレーションの観点から考える。この場合、出力偏差と同様に残差電圧も小さくなると思われる。その結果、補正用キャパシタの容量値を小さくでき、式(4)で示す様に CAL DAC のビット数の減少が実現できる。このことにより、キャリブレーション DAC 部の面積及び消費電力の減少が期待される。しかし、この場合キャパシタアレイの面積の増大やアレイの構成が複雑になることに伴い発生する誤差が新たな問題となる。



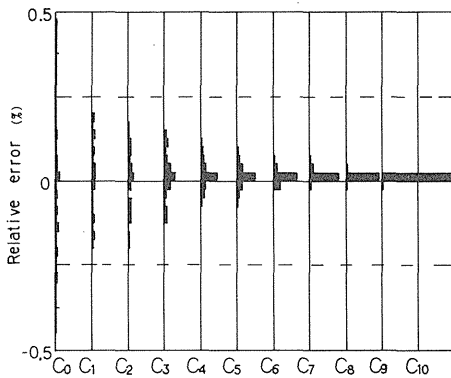


Fig. 5 Distribution of capacitor errors.

## 7. む す び

本報では、自己校正方式電荷再分配形ADCに用いられるキャパシタレイの精度について検討し、出力偏差及び量子化誤差との関係を示した。また、キャリブレーションの精度についても検討を行った。得られた結果をまとめると、以下のようになる。

- (1) 一様なランダム分布をなす単位キャパシタのばらつきにおける容量値誤差とキャパシタレイの相対誤差との関係を明らかにした。
- (2) キャパシタの素子偏差とDACの精度との関係を明らかにし、出力偏差及び量子化誤差は容量値誤差に比例し、ビット数の増加分に反比例することを示した。
- (3) 補正用キャパシタの容量値誤差及びビット数の増加分に比例することを示した。
- (4) キャリブレーションDACのビット数と補正限界との関係及びキャリブレーションDACの精度と補正限界との関係を示した。

以上明らかになった諸関係から、LSIプロセスにおける素子精度の条件を与えることにより、ADCの目標仕様に対する製品歩留りを推定することも可能であると考える。その具体的手法に関する検討は今後の課題である。

## 謝 辞

本研究を進める上で種々御協力賜わり、有意義な御討論をいただいた富士通株式会社伝送無線事業本部共通技

術部テクノロジー開発部角石光夫氏に感謝致します。また、解析ならびシミュレーションにおいて御助力いただいた本学卒業生の内山裕樹氏に感謝致します。

## 参 考 文 献

- (1) McCreary J.L. and Gray P.R.: IEEE J. Solid-State Circuits "All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques-Part 1", SC 10, (1975), pp.371-379.
- (2) Hamade A.R.: IEEE J. Solid-State Circuits, "A single chip all-MOS 8-bit A/D converter", SC-13, (1978), pp.785-791.
- (3) Hodges D.A., Gray P.R. and Brodersen R.W: IEEE J. Solid-State Circuits, "Potential of MOS technologies for analog integrated circuits", SC-13, (1978), pp. 285-294.
- (4) Lee H.S. and Hodges D.A.: IEEE Transactions on Circuits and System, "Self-Calibration Technique for A / D Converters", CAS-30, (1983), pp.188-190.
- (5) Maio. K, Hotta. M, Yokozawa. N, Nagata. M, Kaneko. K and Iwasaki. T: IEEE J. Solid-State Circuits, "An Untrimmed D/A Converter with 14-Bit Resolution", SC-16, (1981), pp.616-621.
- (6) 塚田, 高木, 喜田, 永田: 信学論 (c), "自己校正高精度MOS A/D変換器", J66-C, (1983), pp.797-804.
- (7) 林, 麻殖生: 昭和58年度電子通信学会総合全国大会, "デジタル補正による高精度A/D変換方式".
- (8) 松谷, 赤澤, 岩田: 電子通信学会技術研究会 SS D84-28, "1チップCMOS高精度リニアCODEC"

## 付 録

### 抵抗ストリングの非直線性誤差の導出

Fig. A・1に示すような $x$ ,  $y$ 方向に一定の抵抗率勾配(それぞれ $\alpha$ ,  $\beta$ )をもつ梯子型抵抗ストリングにお

いて、 $m$  番目の抵抗列の座標  $x$  における抵抗率  $\rho(x, m)$  は次式で表される。

$$\rho(x, m) = \rho_0 + \beta m W + \alpha x \tag{A \cdot 1}$$

ここで、 $\rho_0$  は座標  $(0, 0)$  における抵抗率である。従

って、 $m$  番目の抵抗列 1 本の抵抗値  $r(m)$  は次式で表される。

$$r(m) = \int_0^{\ell} \rho(x, m) dx = (\rho_0 + \beta m W) \cdot \ell / N + \alpha \cdot \ell^2 / 2 N^2 \tag{A \cdot 2}$$

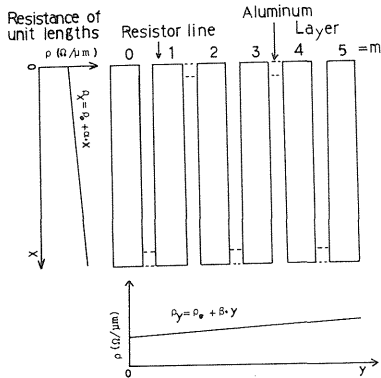


Fig. A. 1 Ladder type pattern of resistor string.

ここで、 $\ell$  は抵抗ストリングの全長であり、 $N$  は  $y$  方向における抵抗列の数である。よって、原点から座標  $(x, m)$  までの抵抗値  $R(x, m)$  は式(A・1)、(A・2)から次式で表すかたちとなる。

$m$  が偶数のとき、

$$R(x, m) = \sum_{i=0}^{m-1} r(i) + (\rho_0 + \beta m W) x + \frac{1}{2} \alpha x^2 \tag{A \cdot 4 a}$$

$m$  が奇数のとき、

$$R(x, m) = \sum_{i=0}^m r(i) + (\rho_0 + \beta m W) x - \frac{1}{2} \alpha x^2 \tag{A \cdot 4 b}$$

図A・1の抵抗ストリングの非直線性誤差  $\epsilon_R(x, m)$  は次式で表される。

$$\epsilon_R(x, m) = \frac{R(x, m)}{\sum_{i=0}^{N-1} r(i)} - \frac{\ell(x, m)}{\ell} \tag{A \cdot 5}$$

ただし、 $\ell(x, m)$  は原点から座標  $(x, m)$  までの抵抗長とする。式(A・1)~(A・4)を式(A・5)に代入することにより  $\epsilon_R$  を表わすことができる。

次に、Fig.A・2の変換特性に示す様にオフセット誤差、ゲイン誤差、非直線性誤差を定義し、式(13)、(33)を求めた。

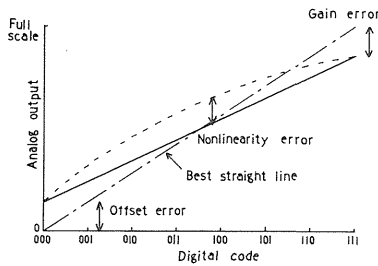


Fig. A. 2 Transfer characteristics of DAC.