

容量値独立形重み付け電荷生成回路

佐々木克己*, 塚元康輔**, 綿引 猛*, 宮田武雄**

(昭和61年9月8日受理)

Capacitance-Independent Type Weighted Charge Generate Circuit

Katsumi SASAKI,* Kousuke TSUKAMOTO,** Takeshi WATAHIKI**
and Takeo MIYATA**

Abstract – A unit-charge generator is described which is capable of generating the unit-charge without the use of matched capacitors. The high-accuracy weighted charge is achieved by adding the unit-charge.

Some exact unit-charges are realized by charging and discharging a capacitor through OP-Amp circuits. A cancellation of the offset voltage effect from OP-Amp is attained with symmetrical circuit.

As the experimental results, the unit and weighted charge are accurately generated by means of this method.

1. まえがき

ICの集積度が年々増大し、それに伴い素子の微細化が進むにつれて、IC内の素子精度に関する問題が次第に重要度を増している。IC内の素子精度に限界がある現在、デジタル-アナログ変換器(以下DACとする)においては素子精度および素子間の不整合に不感であることが望まれる。

現在DACの回路構成において、使用する容量値に対して不感な特性を得る方法は二種類に大別される。その一つは3個の容量によって電荷を逐次加算してD/A変換を行う方法⁽¹⁾⁽²⁾、他方は容量アレイによって一度に多数の容量に単位電荷を蓄積した後にデジタル信号に応じた単位電荷を加算してD/A変換を行う方法⁽³⁾⁽⁴⁾である。前者は逐次方式であるために変換時間が長くなり⁽⁵⁾、後者は容量およびスイッチを多数使用するために精度が低下する⁽⁶⁾欠点がある。

本論文はこれらの点に着目し、容量値に独立でかつ演

算増幅器(以下オペアンプとする)のオフセット電圧に不感な単位電荷を生成し、さらに加算回路を付加して任意の重み付け電荷を正確に生成する回路構成を提案する。すなわち、4個の単位電荷生成容量に蓄積された単位電荷を全て加算して得られる電荷を循環することで、容量アレイを用いる方式より少ない容量およびスイッチで逐次方式より高速な変換が可能になることを示す。

さらに、提案した回路についての測定結果を示し、単位電荷および重み付け電荷の生成特性について考察している。

2. 原理および回路構成

まず、従来の容量値に独立な重み付け電荷生成回路の基本回路をFig.1に示す。Fig.1(a)には容量を3個使用した逐次方式を示し、Fig.1(b)には容量アレイを用いる方式について示してある。逐次方式は、 C_0 に蓄えられた電荷を C_1 と C_2 が直列に接続された回路へ転送した後今度は C_1 と C_2 を並列に接続して再び C_0 に転送す

* 茨城大学大学院工学研究科電子工学専攻(日立市中成沢町)

Graduate Student, Department of Electronic Engineering, Faculty of Engineering, Ibaraki University, Hitachi 316, Japan

** 茨城大学工学部電子工学科(日立市中成沢町)

Department of Electronic Engineering, Faculty of Engineering, Ibaraki University, Hitachi 316, Japan

ることで2倍の重み付けされた電荷を得ている。容量アレイを用いる方式は、一度に多数のアレイ容量に等しい電荷を蓄積した後デジタル信号に応じた個数分の電荷を一度に加算することで目的の電荷量を得ている。従って、逐次方式は素子数は少なく済むが変換時間が長くなり、反対に容量アレイを用いる方式は変換は速いが素子数が多くなる。

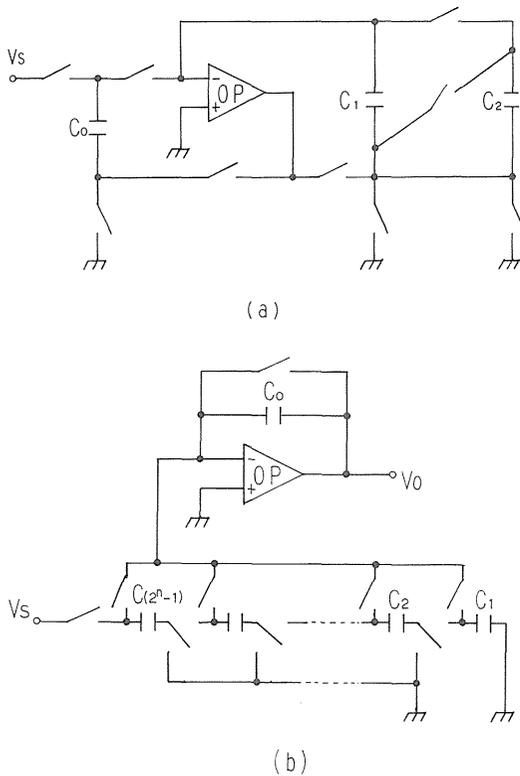


Fig. 1 The circuit for generating a weighted charge (a) with three capacitors (b) with capacitor array.

本論文では、任意の容量値をもった容量とオペアンプとを組み合わせ、オペアンプ入力端のナレータ近似による仮想短絡を利用して容量値に無関係に理想単位電荷を生成する回路を提案する。その回路構成を Fig. 2 に示す。また、この回路において生成された単位電荷の加算により得られる重み付け電荷は、原理的に容量の精度に依存しない。

Fig. 2 の回路について動作を説明する。図において、最初に S_1 のみを ON, $V_{in} = 0$ として全ての容量 ($C_X, C_1 \sim C_4$) の残存電荷を放電する。次に S_2 のみを ON として V_{in} を印加すると、オペアンプのイマジナリ・ショ-

トにより C_X の両端の電位差は V_{in} となる。この時、 C_X を含めて C_1, C_3 およびオペアンプで閉回路を構成しており、 $Q = C_X \cdot V_{in}$ なる電荷が C_X, C_1, C_3 にそれぞれ蓄積される。最後に S_3 のみを ON, $V_{in} = 0$ とすると、オペアンプのイマジナリ・ショートにより今度は C_X, C_2, C_4 およびオペアンプで構成された閉回路に C_X の放電電流が流れ、 C_2, C_4 にもそれぞれ Q なる電荷が蓄積される。このように本回路では C_X に一回充・放電するだけで一度に4個の容量に電荷が蓄積でき、また $C_1 \sim C_4$ にそれぞれ蓄積される電荷量(以下単位電荷とする)は、本質的に $C_1 \sim C_4$ の各容量値に対して独立である。従って、この単位電荷を加算回路に転送することにより、正確に1~4倍の重み付けされた電荷が得られる。

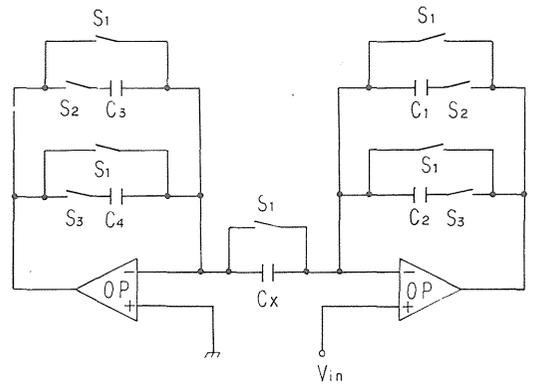


Fig. 2 Basic construction of the unit-charge generate circuit.

以上の三方式について、 n bit の D/A 変換を行うときのスイッチと容量の数および変換に必要なスイッチ動作回数の最大値を求めて Table 1 に示す。表より、提案回路は容量アレイを用いる方式よりも少ない数のスイッチおよび容量で、逐次方式よりも高速な変換が可能であることがわかる。

Table 1 Comparison of three methods.

	n-bit-numbers		
	The circuit for generating a weighted charge with three capacitors. (Fig.1 (a))	The circuit for generating a weighted charge with capacitor array. (Fig.1 (b))	The circuit for generating a weighted charge with new method.
Capacitor (numbers)	3	2^n	6
Switch (numbers)	9	2^{n+1}	10
Switching-Phase (MAX-numbers)	$\frac{3}{2^{n+1}}(2A-1)$	2	$n=ODD$ 3n $n=EVEN$ 3n-3

Fig. 3 に, オペアンプのオフセット電圧軽減効果について示す。図中 ΔV_1 , ΔV_2 をそれぞれのオペアンプのオフセット電圧, また C_X の両端電圧を V_A , V_B とすると V_A および V_B は

$$V_A = V_{in} + \Delta V_1, \quad V_B = \Delta V_2 \quad [V] \quad (1)$$

で示される。従って, C_X に蓄積される電荷 Q_X は次式で表わされる。

$$\begin{aligned} Q_X &= C_X \cdot (V_A - V_B) \\ &= C_X \cdot V_{in} + C_X (\Delta V_1 - \Delta V_2) [C] \quad (2) \end{aligned}$$

この時, $\Delta V_1 = \Delta V_2$ ならば式(2)の右辺第二項は消え, $\Delta V_1 \neq \Delta V_2$ の場合でもオフセット電圧の影響は軽減される。

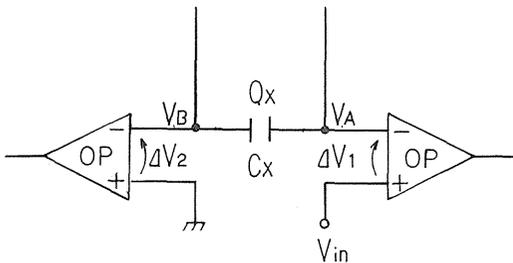


Fig. 3 Effect of the offset voltage.

3. 測定および結果

3.1 測定方法

Fig. 4 の回路図に基づき測定回路を試作し, 以下の3つの場合について測定を行った。

(i) 全容量 (C_X , C_Y , $C_1 \sim C_4$) の公称容量値 (以下容量値とする) が等しい場合。

容量値が次の6種類の場合について実測した。

1 [nF], 4.7 [nF], 10 [nF], 22 [nF], 47 [nF], 100 [nF]

(ii) $C_1 \sim C_4$ のうちの1個を 22 [nF] に対して 10 [nF] および 47 [nF] とした場合。

(iii) C_X および C_Y の容量比を変化させた場合。

基本容量値を 22 [nF] とし, ① C_X, C_Y 共に 10 [nF] および 47 [nF] とした場合, ② $C_X : C_Y = 1 : 2$ とした場合。

Fig. 5 にアナログ・スイッチを制御するクロック・タイミング・チャートを示す。今回の測定においては, スイッチ制御の各フェーズの周期を使用容量 C と回路抵抗 R との時定数 $C \cdot R$ の 10 倍とした。なお, 測定にはデジタル・マルチメータを使用し, スイッチの制御クロックおよびデジタル・マルチメータの制御にはマイクロ・コンピュータを使用した。

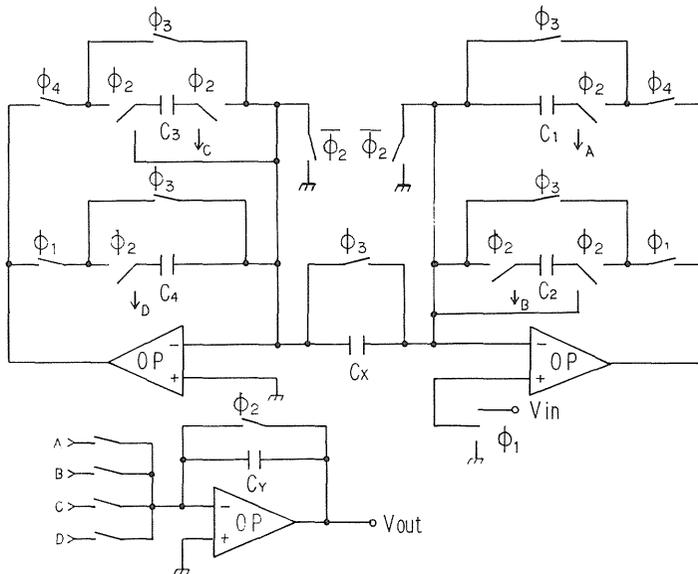


Fig. 4 Capacitance independent type unit and weighted charge generate circuit.

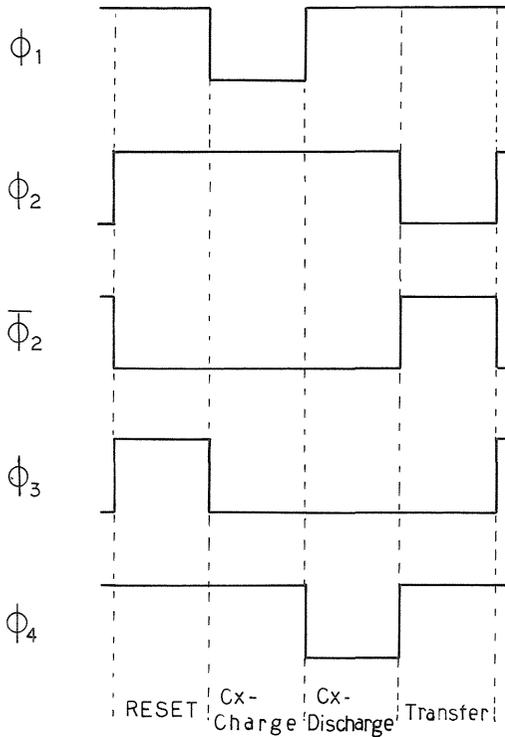


Fig. 5 Sequence diagram of switches in Fig. 4.

3.2 測定結果

Fig.4において、入力電圧 V_{in} と C_X との積 $V_{in} \cdot C_X$ を理想蓄積電荷として誤差電荷量 Q_{error} を次のように定義する。

$$Q_{error} = (V_{out} \cdot C_Y) - (V_{in} \cdot C_X) \quad [C] \quad (3)$$

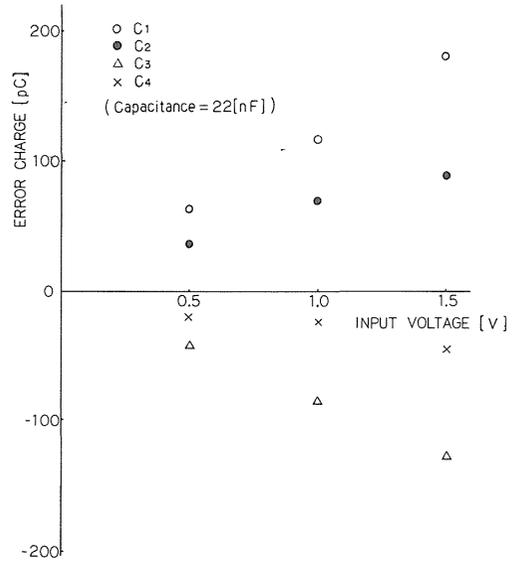
3.2.1 測定 (i)

(a) 単位電荷生成

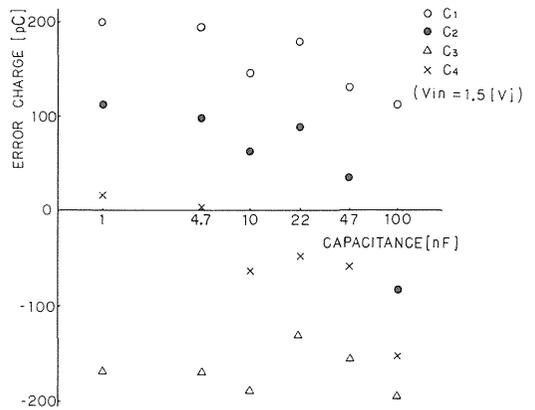
Fig.6に、電荷加算器に転送した後の単位電荷生成用容量 $C_1 \sim C_4$ 毎の誤差電荷量を示す。同図(a)は入力電圧に対する誤差電荷量を示し、(b)は容量値に対する誤差電荷量を示す。図からわかるように、容量の組み合わせが同一である場合の誤差電荷量は入力電圧に依存し、また入力電圧が一定の場合にも誤差電荷量は単位電荷生成用容量の値に依存している。

(b) 電荷加算

Fig.7に、電荷加算の組み合わせに対する出力電圧を示す。図より、転送に使用する容量を2個、3個、4個とすると、出力電圧が正確に2倍、3倍、4倍となることが確認できる。



(a)



(b)

Fig. 6 Error charge characteristics of the unit-charge after transfer.

(a) Error charge versus input voltage.
(b) Relations between capacitance and error charge.

3.2.2 測定 (ii)

測定(ii)により求められた蓄積電荷から測定(i)で求めた蓄積電荷を引いて得られた電荷の偏差を $C_1 \sim C_4$ 毎にグラフ化して Fig.8 に示す。図より、容量値を変化させた場合に影響を受ける蓄積電荷は、容量値を変化させた容量に蓄積される電荷であることが確認できる。

3.2.3 測定 (iii)

Fig.9 に, C_X および C_Y の容量比に対する $C_1 \sim C_4$ の誤差電荷量を, それぞれの容量について示す。図より, 単位電荷の生成においては, C_X と C_Y の比ではなく C_X と $C_1 \sim C_4$ との比の方が生成電荷に与える影響が大きいが確認できる。また C_X の値による影響は, C_3 および C_4 よりも C_1 および C_2 の方にはっきりと表われている。

3.3 まとめ

Fig.6 (a)において, 誤差電荷量が入力電圧に比例して

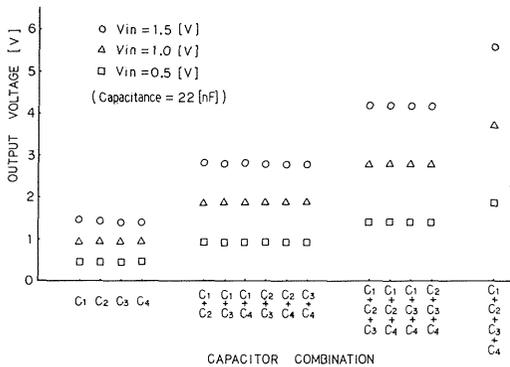


Fig. 7 Relations between capacitor combination and output voltage.

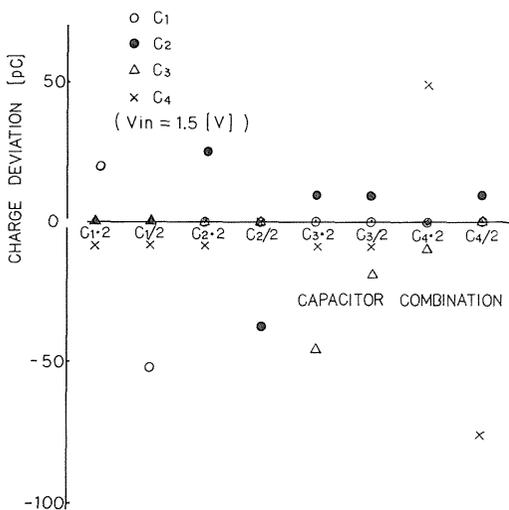


Fig. 8 Relations between capacitor combination and charge deviation.

いることから, $C_1 \sim C_4$ にそれぞれ誤差を生じる容量が付加されていると考えられる。この誤差を生じる容量の主な要因は, 4.2で述べるようにアナログ・スイッチの寄生容量であると考えられる。

Fig.6 (b)は, 容量値の変化により誤差電荷量が変化する様子を示している。今回の測定では制御クロック1フェーズの長さを時定数 $C \cdot R$ の10倍にしており, 容量値が大きくなるにつれてクロックの周期も長くなる。従って容量値に依存する誤差電荷量の主な要因は, 基板等からのリークであると考えられる。

また, 測定(ii)および(iii)に示されるように, 本回路は原理的に容量値独立形ではあるが, 使用する容量の比を1:2というように大きくしてしまうと生成される電荷の精度が悪化してしまう。この原因の一つとして先に述べたアナログ・スイッチの寄生容量が考えられ, アナログ・スイッチの寄生容量が高精度化に大きく係ってくると考えられる。

4. むすび

4.1 オペアンプのバイアス電流

単位電荷生成用容量 C に蓄積される電荷を Q , オペアンプのバイアス電流 I により生じる誤差電荷を q とすると, Q および q は次式で与えられる。

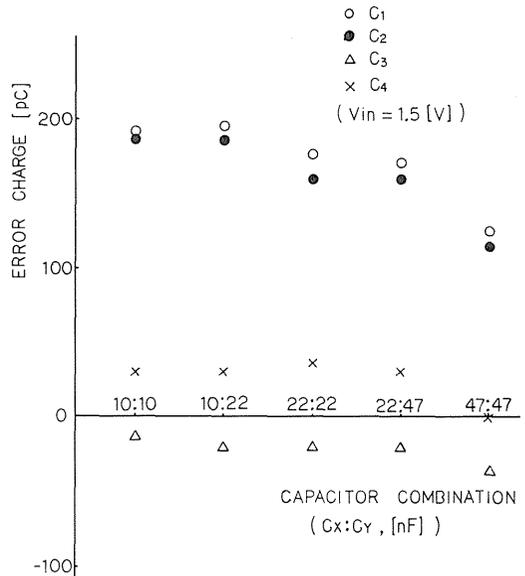


Fig. 9 Relations between capacitor combination and error charge.

$$Q = C \cdot V_{in} \quad [C] \quad (4)$$

$$q = \int_0^\tau I \, dt = I \tau \quad [C] \quad (5)$$

ここで τ は制御クロック1フェーズの周期であり、今回は単位電荷生成用容量 C とアナログ・スイッチの保護用抵抗 R との時定数 $C \cdot R$ の10倍とした。従って、 Q と q の比は

$$\frac{q}{Q} = \frac{I \cdot \tau}{C \cdot V_{in}} = \frac{10 \cdot R}{V_{in}} \cdot I \quad (6)$$

となる。 $R = 1.2 [k\Omega]$, $|V_{in}|_{\min} = 0.5 [V]$, カタログ値において $|I|_{\max} = 200 [pA]$ であるから、最悪条件において Q と q の比は次式で与えられる。

$$\frac{q}{Q} \leq 4.8 \cdot 10^{-6} \quad (7)$$

従って、オペアンプのバイアス電流によるもれ電荷率は $5 \cdot 10^{-4} [\%]$ 以下となり、その影響は無視して良い。

4.2 寄生容量およびオペアンプのオフセット電圧による影響

Fig.10に、容量値を $22 [nF]$ としたときの、転送前における生成単位電荷の誤差を示す。また、Table 2 にアナログ・スイッチの寄生容量およびオペアンプのオフセット電圧による誤差を示す。測定電圧の誤差が $1 [mV]$ 程度であるので、 $\pm 22 [pC]$ の電荷誤差を考慮して Fig. 10と Table 2 を比べると、測定から求められた誤差電荷量と、アナログ・スイッチの寄生容量およびオペアンプのオフセット電圧による理論的な誤差電荷量とが良く一致している事がわかる。従って、本回路を使用して単位電荷を生成する場合、主な誤差要因はアナログ・スイッチの寄生容量およびオペアンプのオフセット電圧であると考えられる。

Table 2 Error charge by parasitic capacitances and offset voltages.

Capacitor	Parasitic Capacitance [pF]	Error Charge by Offset Voltage [pC]	Total Error Charge [pC]
C ₁	121	-13	$121 \cdot V_{in} - 13$
C ₂	121	0	$121 \cdot V_{in}$
C ₃	0	-10	-10
C ₄	0	22	22

次に、生成された単位電荷を加算回路へ転送する時の誤差について述べる。Fig. 11 に、電荷転送時の誤差電荷量を示す。加算回路の積分器に用いたオペアンプのオフセット電圧を測定した結果、 $2 [mV]$ のオフセット電圧が確認された。Fig. 11 は容量値が $22 [nF]$ における結果を示しているので、オペアンプのオフセット電圧による誤差電荷量は $2 [mV] \cdot 22 [nF] = 44 [pC]$ となり、転送電荷の極性とオペアンプのオフセット電圧の極性が同符号である事から転送における誤差は $-44 [pC]$ となる。従って、先程と同じく測定電圧の誤差を考慮すると、転送時の誤差は積分用オペアンプのオフセット電圧が大きな位置を占めると考えられる。

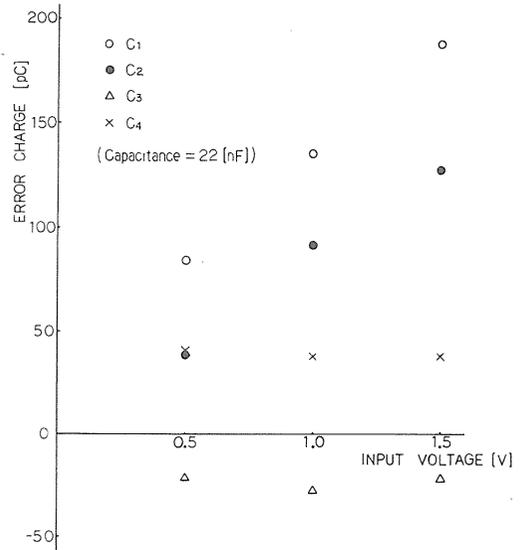


Fig. 10 Error charge characteristics of the unit-charge before transfer.

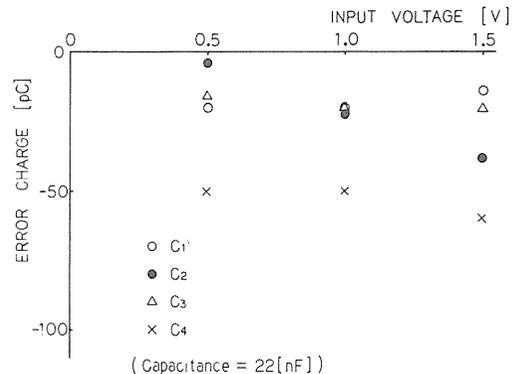


Fig. 11 Error charge with transfer.

以上の結果, 提案した回路構成によって容量値に独立な単位電荷の生成が行われ, また, 生成された単位電荷は正確に加算可能であることが確認できた。

今後の課題として, より高精度な重み付け電荷生成のために, 電荷の誤差要因の解明および誤差補正処理方法の開発が必要となる⁽⁷⁾。

参 考 文 献

- (1) 木田博之, 綿引猛, 宮田武雄: 茨城大学工学部研究集報, “容量値独立形重み電荷形成とD/A変換への応用”, 第29巻, pp.153-159
- (2) 安藤雅幸, 石川幸夫, 塚元康輔, 綿引猛, 宮田武雄: 茨城大学工学部研究集報, “容量値独立形フローティングA/D変換器”, 第33巻, pp.165-171
- (3) 木田博之: 昭和56年度茨城大学修士学位論文, “デジタル・アナログインターフェースの高精度化に関する研究”
- (4) 市毛勝正, 塚元康輔, 綿引猛, 宮田武雄: 茨城大学工学部研究集報, “任意容量形フローティングA/D変換器の高精度化”, 第32巻, pp.183-188
- (5) R. E. Susrez, P. R. Gray and D. A. Hodges: IEEE J. Solid - State Circuits, “ALL-MOS Charge Redistribution Analog - to - Digital Conversion Techniques -Part II”, SC-10, (1975), pp.379-385
- (6) J. L. McCreary and P. R. Gray: IEEE J. Solid - State Circuits, “ALL-MOS Charge Redistribution Analog - to - Digital Conversion Techniques -Part I”, SC-10, (1975), pp.371-379
- (7) 谷木正文: 昭和60年度電子通信学会総合全国大会, “MOSFETにおける寄生容量・抵抗の回路特性への影響”。