

適応形 A / D 変換器の一構成

田代 豊*, 塚元康輔**, 綿引 猛**, 宮田武雄**

(昭和62年8月31日受理)

A Method of Implementing Adaptive A/D Converter

Yutaka TASHIRO*, Kousuke TSUKAMOTO**, Takeshi WATAHIKI**
and Takeo MIYATA**

Abstract — This paper proposes the adaptive A/D conversion method and its constitution technique.

Generally, conversion time of an A/D converter is expressed as the function of its resolution. Adaptive A/D conversion method with the optimum combination of conversion time and resolution is theoretically discussed. The results of computer simulations and experiments show that this adaptive A/D conversion method gives less distortion measure than conventional A/D conversion.

The constitution technique including the prediction method of input signal is also theoretically discussed here, and the result of computer simulations proves that this technique is effective.

1. まえがき

デジタル信号処理技術の発展に伴い、これを基礎とした高度情報処理システムが実現されつつあるが、この様なシステムの対象となる情報の中にはアナログ情報も多く、その場合 A/D 変換技術が不可欠となる。A/D 変換技術に関しては、従来、高速化・高分解能化・高精度化などの視点からの研究が盛んであるが⁽¹⁾⁻⁽⁷⁾、実際の A/D 変換器については、同一製造プロセス条件下において高速化と高分解能化・高精度化は相反するものであると言える。すなわちこれらは一般に両立しない。それゆえに高速化と高分解能化・高精度化は多くの場合別々に検討されているのが通常である。

例えば最も代表的な A/D 変換器である逐次比較形及び二重積分形 A/D 変換器などのアルゴリズムを分析すると、変換速度は分解能に依存し、分解能の向上が変換速度の低下を招くことがわかる。したがって変化の速いアナログ信号を可能な限り忠実にデジタル信号に変換しよ

うとする場合は変換速度を優先させるべきであり、またアナログ信号の変化が遅い場合は分解能を優先する形で変換するのが好ましい。しかしながら、サンプリング間隔を固定して A/D 変換する従来の方法は、上記のような意味で必ずしも効率的な A/D 変換器の使用法であるとは限らない。

本論文では、変換速度と分解能の相反する関係を考慮して A/D 変換器のポテンシャルを最大限に発揮させるための手法として、分解能と変換速度のアナログ信号への適応化に着目し、A/D 変換器の高効率化技術についての検討を行う。また、A/D 変換器の忠実度を歪み測度なるパラメータを用いて評価し、アナログ信号に対してこれを最小に保つような分解能と変換速度の組合せを常に維持しながら変換を行う A/D 変換法について述べる。さらに、この様な使用を目的とする A/D 変換器の構成について検討を加える。

* NTT 電気通信研究所 (厚木市小野)

NTT Electrical Communications Laboratories, Atsugi 243-01, Japan

** 茨城大学工学部電子工学科 (日立市中成沢町)

Department of Electronic Engineering, Faculty of Engineering, Ibaraki University,
Hitachi 316, Japan

2. 理 論

2.1 分解能と変換速度

本節では、最も代表的なA/D変換器と考えられる逐次比較形、二重積分形、並列比較形A/D変換器について、そのアルゴリズムを分析することにより変換速度を分解能の関数として表す。

2.1.1 逐次比較形A/D変換器

逐次比較形A/D変換器では、まず変換開始直後にシステムをリセットするために一定の時間aが費やされ、次にMSBより1ビットずつ決定していく。したがって、変換速度(変換周波数)fは1ビットあたりに必要とする変換時間をb、分解能をnとすると、次式で表される。

$$f = \frac{1}{T} = \frac{1}{a + b \cdot n} \quad (1)$$

ここでTは全変換時間とする。式(1)は分解能を上げると変換速度が低下することを意味している。

2.1.2 二重積分形A/D変換器

二重積分形A/D変換器では、変換開始直後積分コンデンサの放電のために一定時間aが費やされ、次に分解能がn、クロック周期がbの場合、時間 $b \cdot 2^n$ の間入力信号の積分が行われる。さらに基準電圧の積分が行われ、積分器出力が0となるまでのクロック数をカウントする。このクロック数は最大 2^n であり、最小の変換速度fは次式で表される。

$$\begin{aligned} f &= \frac{1}{T} = \frac{1}{a + b \cdot 2^n + b \cdot 2^n} \\ &= \frac{1}{a + b \cdot 2^{n+1}} \end{aligned} \quad (2)$$

したがって、分解能を上げると変換速度は低下する。

2.1.3 並列比較形A/D変換器

並列比較形A/D変換器では、リセット期間は不要であり、また入力信号電圧と各出力コードに対応する電圧をコンパレータを用いて一度に比較し、コンパレータ出力をエンコードするために、変換時間は分解能に関係なく常に一定である。ゆえに変換速度fは次式で表される。

$$f = \frac{1}{T} = \frac{1}{a} \quad (3)$$

しかしながら、これはアルゴリズムのみ分析した結果であり、ハードウェアの観点から見れば、分解能を上げれば必要なコンパレータなどの素子数が増し、これらの素子が並列に接続されるので入力容量が増大するなどの変換速度を低下させる要因が存在すると考えられる。

2.2 変換歪みと評価パラメータ

時間的に連続なアナログ信号の理想A/D変換における誤差としては、標本化による誤差と量子化による誤差の2つがある。量子化による誤差については、その最大値はA/D変換器の分解能によって決まる。標本化においては、標本化定理⁽⁸⁾によって最大入力周波数の2倍以上で標本化を行うことにより理想低域フィルタを用いて完全に原信号を再生することができ、この条件を満足している限りにおいては全く誤差を生じないことが証明されている。しかしながら、これは理想フィルタを仮定した場合であり、実際のフィルタを用いた場合にはいわゆる折り返し誤差を生ずることがある。このような場合には、より高い周波数で標本化するオーバー・サンプリング⁽⁹⁾などの方法を用いて折り返しによる誤差を軽減できる。したがって、A/D変換器の変換速度を上げることによって誤差の軽減が期待される。一方、変換されたデジタルデータから原信号を再生する場合において、補間に十分な時間をかけることができない場合が多く⁽¹⁰⁾⁽¹¹⁾、補間動作が不十分なまま再生が行われ、標本化速度によって標本化による誤差が大きく変わることになる。以上のように、原信号に対する再生信号の歪み成分としては、量子化による誤差のみならず、標本化による誤差を考慮しなければならない。すなわち、A/D変換器の変換速度は分解能と同様に再生波形の歪みに係わる重要なパラメータとなる。

さらに上述したことは、原信号の最高周波数が特定できる場合であり、最高周波数の予測が十分にできないような原信号のA/D変換においては、標本化による誤差と量子化による誤差を合わせて検討する必要がある。

以上の点から本論文においては、時間領域で表される歪み測定 D ⁽¹²⁾⁻⁽¹⁵⁾をA/D変換にける歪みのパラメータとして次式で定義する。

$$D = \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} |x(t) - y(t)| dt \quad (4)$$

ただし, $x(t)$ はアナログ入力信号であり, $y(t)$ は A/D 変換器の再生出力である。

ここで定義した歪み測度は A/D 変換器の出力がどれだけ入力を忠実に変換したかを表す一つの尺度である。次に, A/D 変換の出力データを再生するための簡単な補間方法である直接処理モデル (0 次ホールド) と補間処理モデル (一次ホールド) の 2 つの方法を用いて, A/D 変換器の全変換歪みについて考える。

2.2.1 直接処理モデル

Fig.1 に入力波形に対して A/D 変換出力を 0 次ホールドで補間し, 再生した場合のモデルを示す。A/D 変換器の再生出力はその出力時系列データに相当する電圧である。図中, D_s はサンプリング間隔に依存する歪み測度であり, D_q は量子化誤差に依存するものである。 $[t_1, t_2]$ における近似直線の勾配を Δ として, これを入力信号の変化を表すパラメータと考えると, ワースト・ケースにおける全歪み測度 D は,

$$D = |D_s| + |D_q| = \frac{1}{2} \{ |\Delta| \cdot T + |V_{fs}| \cdot 2^{-n} \} \quad (5)$$

で与えられる。ただし, V_{fs} は変換器のフルスケール電圧とし, 量子化誤差 q は $1/2$ LSB とした。

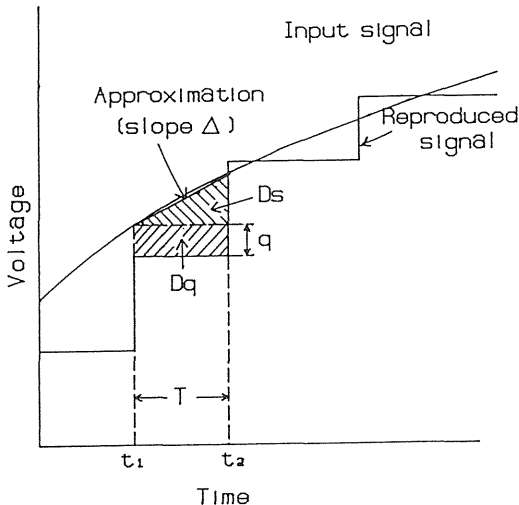


Fig. 1 Sampling and quantization characteristics without interpolation.

2.2.2 補間処理モデル

Fig.2 に補間処理モデルを示す。A/D 変換器の再生出力はその出力時系列データを一次ホールドしたもの

考え, モデルを単純化するために入力信号は十分滑らかに折れ線近似できるものとした。ここで, 図中 t_m は t_1 と t_2 の中点とし, $[t_1, t_m]$ での近似直線の勾配を Δ_1 , $[t_m, t_2]$ での近似直線の勾配を Δ_2 として入力信号の変化を

$$\Delta = \Delta_1 - \Delta_2 \quad (6)$$

なるパラメータで表すと, ワースト・ケースにおける全歪み測度 D は,

$$D = |D_s| + |D_q| = \frac{1}{4} (|\Delta| \cdot T + |V_{fs}| \cdot 2^{-n}) \quad (7)$$

で表せる。ただし, ここでも量子化誤差 q は $1/2$ LSB とした。

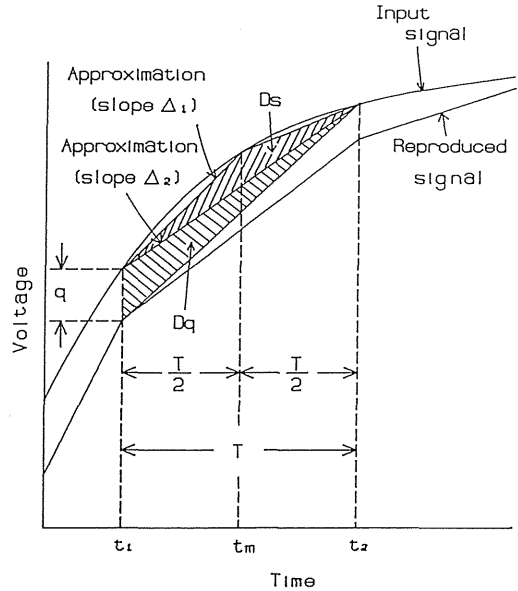


Fig. 2 Sampling and quantization characteristics with interpolation.

2.3 適応形 A/D 変換

2.3.1 直接処理モデル

逐次比較形 A/D 変換器について考えると, 式(1)を用いて式(5)は,

$$D = \frac{1}{2} \{ |\Delta| (a + b \cdot n) + |V_{fs}| \cdot 2^{-n} \} \quad (8)$$

となる。式(8)において $dD/dn = 0$ において, 歪み測度 D に極値を与える分解能 N を求めると,

$$N = \log_2 \frac{\ln 2 \cdot |V_{fs}|}{|\Delta| \cdot b} \quad (9)$$

を得る。このとき、

$$\frac{d^2D}{dn^2} = \frac{1}{2} (\ln 2)^2 \cdot |V_{fs}| \cdot 2^{-n} > 0 \quad (10)$$

であり、 N が歪み測度 D に最小値を与える最適分解能であることがわかる。この時の変換速度は式(1)において $n=N$ とすることで求められる。このようにして求められる最適条件を常に満足するように分解能と変換速度の組合せを制御することにより、低歪み測度の A/D 変換が可能であると考えられる。

2.3.2 補間処理モデル

逐次比較形 A/D 変換器について考えると、式(1)を用いて式(7)は、

$$D = \frac{1}{4} \{ |\Delta| (a + b \cdot n) + |V_{fs}| \cdot 2^{-n} \} \quad (11)$$

となる。

式(11)において $dD/dn = 0$ とにおいて、歪み測度 D に極値を与える分解能 N を求めると、

$$N = \log_2 \frac{\ln 2 \cdot |V_{fs}|}{|\Delta| \cdot b} \quad (12)$$

を得る。これは式(9)と同じ形をしている。このとき、

$$\frac{d^2D}{dn^2} = \frac{1}{4} (\ln 2)^2 \cdot |V_{fs}| \cdot 2^{-n} > 0 \quad (13)$$

であり、 N が D に最小値を与える最適分解能であることがわかる。分解能 N が決定されれば式(1)より変換速度が決まり、分解能と変換速度の組合せの最適条件が求まる。すなわち、この最適条件をつねに満たすように A/D 変換を行えば、アナログ信号をより忠実なデジタル信号列に変換することができる。

3. シミュレーション

ここでは、2で述べたように、逐次比較形 A/D 変換器において、入力信号の変化の割合を表すパラメータ Δ に対して、式(9)及び式(1)で求められる分解能と変換速度に関する最適条件を常に満足するように、動作を適

応化しながら A/D 変換した場合についてシミュレーションを行った。入力信号として減衰正弦波を設定し、ハードウェアの動作条件が同じ逐次比較形 A/D 変換器を用いるという条件で、分解能・変換時間を固定して A/D 変換を行った従来の場合と、これらを入力信号に適用させて変換を行う適応形 A/D 変換を行った場合を比較して直接処理モデルと補間処理モデルのそれぞれについて、Fig. 3及びFig. 4に示す。従来の A/D 変換法で変換を行った場合に比べて、適応形 A/D 変換法を用いた場合、歪み測度が常に小さく保たれる効果が認められる。

4. 実験

市販の逐次比較形 A/D 変換器とコンピュータを用いてFig. 5に示す試作回路を製作し、2で述べた A/D 変換法の効果を確認するために、動作時における再生出力の歪み測度を計測した。入力信号としては、減衰正弦波を適用した。その結果をFig. 6~7に示す。本実験においても、3で述べたシミュレーション結果と同様に、適応形 A/D 変換では入力信号波形にかかわらず常に歪み測度が小さく保たれるという結果が得られた。 A/D 変換器動作の制御をコンピュータによって行ったため、変換速度は8ビット時で約123 sample/sと低速ではあるが、この制御部を専用ハードウェアで構成することにより高速化できるものと考えられる。

5. A/D 変換器の構成例

パラメータ Δ は変換中の入力信号の変化の割合を表すものである。しかしながら、各サンプルごとの変換開始時にはそのサンプルに適用されるべき分解能と変換速度の最適値が決定されていなければならない。したがって、動作の高速化のために、各サンプル値に対するパラメータ Δ を予測しておくことが望ましい。

ここではその手法として、入力信号を2次曲線で近似し、 A/D 変換器の過去の出力データを用いて予測する方法を提案する。

過去のデータとして時刻 t_{n-3} 、 t_{n-2} 、 t_{n-1} における A/D 変換器の再生出力が R_{n-3} 、 R_{n-2} 、 R_{n-1} であるとす。また、簡単のため、 $[t_{n-3}, t_{n+1}]$ において、

$$t_{k+1} - t_k \approx t_k - t_{k-1} \quad (k \text{ は整数}) \quad (14)$$

と仮定する。この手法では、 $[t_{n-3}, t_{n+1}]$ において、

すべての隣接するサンプル区間の 2 階差分が等しいと仮定する⁽¹⁶⁾。これらの仮定は、サンプリング周期に対してゆるやかな変化をしている信号に対してはよく成立する。なお、予測誤差については後述する。上述の仮定に基づいて、次式が成立する。

$$R_{n+1} - R_n \doteq 3R_{n-1} - 5R_{n-2} + 2R_{n-3} \quad (15)$$

故に、直接処理モデルの $[t_{n-1}, t_n]$ におけるパラメータ Δ の予測値 Δ_{pre} は、

$$\begin{aligned} \Delta_{pre} &\doteq \frac{R_{n+1} - R_n}{t_n - t_{n-1}} \\ &\doteq \frac{3R_{n-1} - 5R_{n-2} + 2R_{n-3}}{t_{n-1} - t_{n-2}} \end{aligned} \quad (16)$$

なる演算により予測される。また、補間処理モデルにおけるパラメータ Δ の予測も同様にして、

$$\begin{aligned} \Delta_{pre} &\doteq \frac{3R_{n-1} - 5R_{n-2} + 2R_{n-3}}{t_n - t_{n-1}} \\ &\doteq \frac{11R_{n-1} - 18R_{n-2} + 7R_{n-3}}{8(t_n - t_{n-1}) / 2} \\ &\doteq \frac{1}{4} \cdot \frac{R_{n-1} - 2R_{n-2} + R_{n-3}}{t_{n-1} - t_{n-2}} \end{aligned} \quad (17)$$

なる演算により予測される。

この予測法を用いた A/D 変換器の構成例を Fig. 8 に示す。アナログ入力信号は時刻 t_n においてサンプル S_n が抽出、ホールドされ、分解能 N_n で A/D 変換される。A/D 変換器は変換終了と同時にサンプルホールド回路 (S/H 回路) に信号 h を送り、S/H 回路は次のサンプル S_{n+1} を抽出、ホールドする。A/D 変換器の出力コード C_n と最適分解能 N_n はラッチにストアされ、同時に変換データ D_n は外部に出力される。ラッチには (N_{n-2}, C_{n-2}) , (N_{n-1}, C_{n-1}) , (N_n, C_n) がストアされており、これらのデータを用いて、直接処理モデルでは式(16)、補間処理モデルでは式(17)により Δ_{n+1} を予測し、最適分解能 N_{n+1} を式(9)又は式(12)により算出する。A/D 変換器は、最適分解能 N_{n+1} でサンプル S_{n+1} を変換する。順次この動作を繰り返す。この一連の動作の時間的關係が Fig. 9 に示されている。2.1 に述べたように、逐次比較形 A/D 変換器は変換開始直後にシステムのリセットを行う。

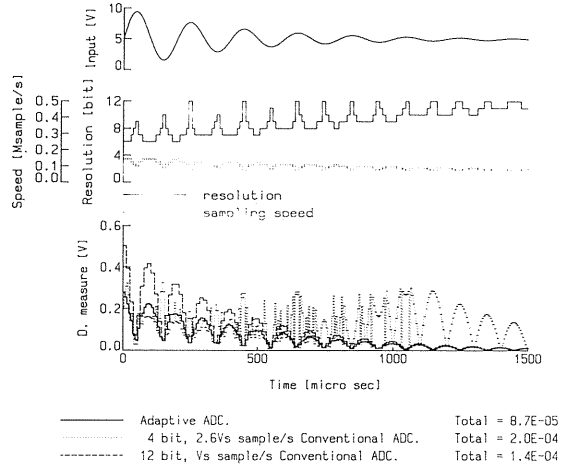


Fig. 3 Simulated characteristics of adaptive A/D conversion without interpolation.

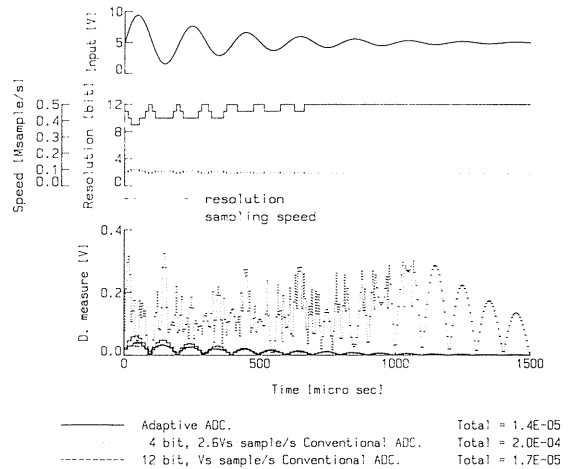


Fig. 4 Simulated characteristics of adaptive A/D conversion with interpolation.

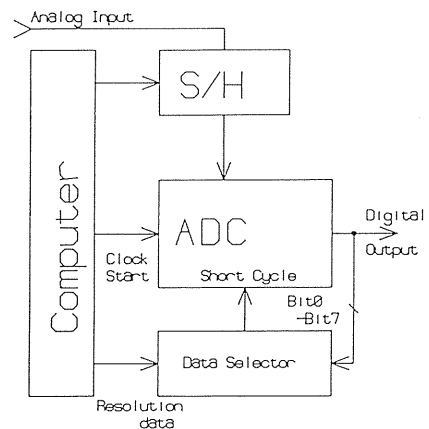


Fig. 5 Block diagram of experimental circuit.

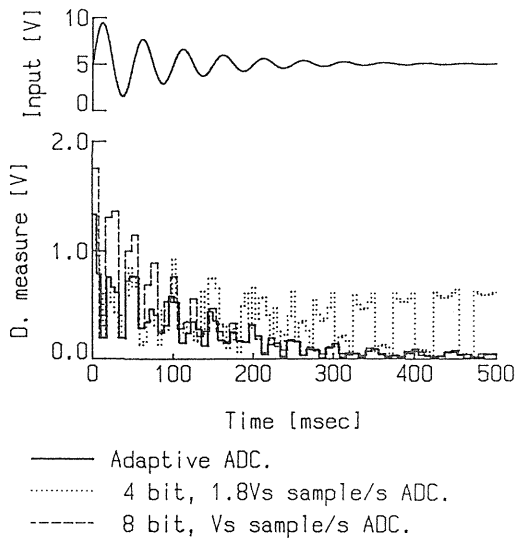


Fig. 6 Measured characteristics of adaptive A/D conversion without interpolation.

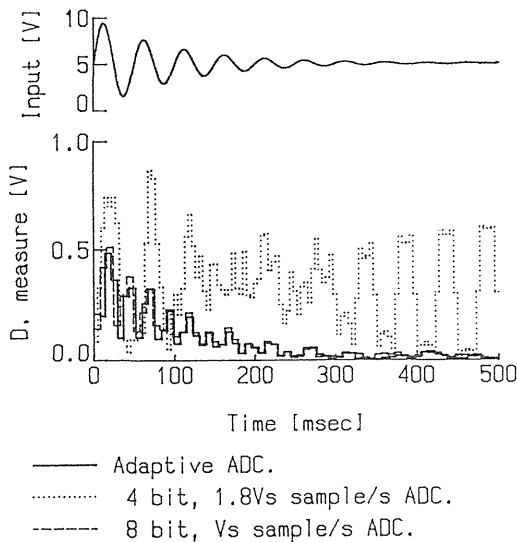


Fig. 7 Measured characteristics of adaptive A/D conversion with interpolation.

このリセット時間 a の間に、パラメータ Δ の予測演算と最適分解能の算出を行うように設計するのが望ましい。

以上、パラメータ Δ の予測法による適応形 A/D 変換器の構成法を提案した。しかしながら、ここで問題となるのはパラメータ Δ の予測誤差の影響である。いま、 Δ の予測値 Δ_{pre} に予測誤差 ϵ が含まれていると仮定すると、このときの最適分解能の算出結果 N_{pre} は、式(9)又は式(12)より、

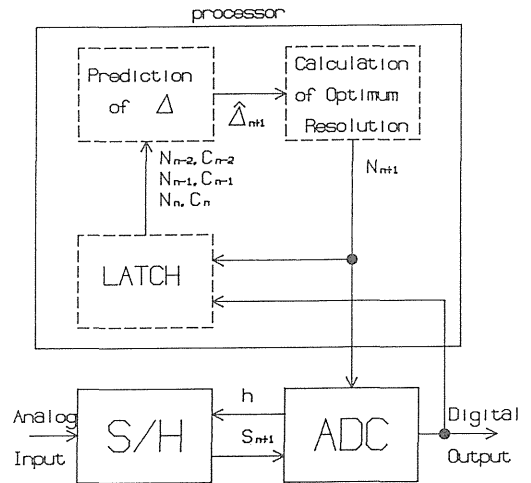


Fig. 8 Block diagram of adaptive A/D converter.

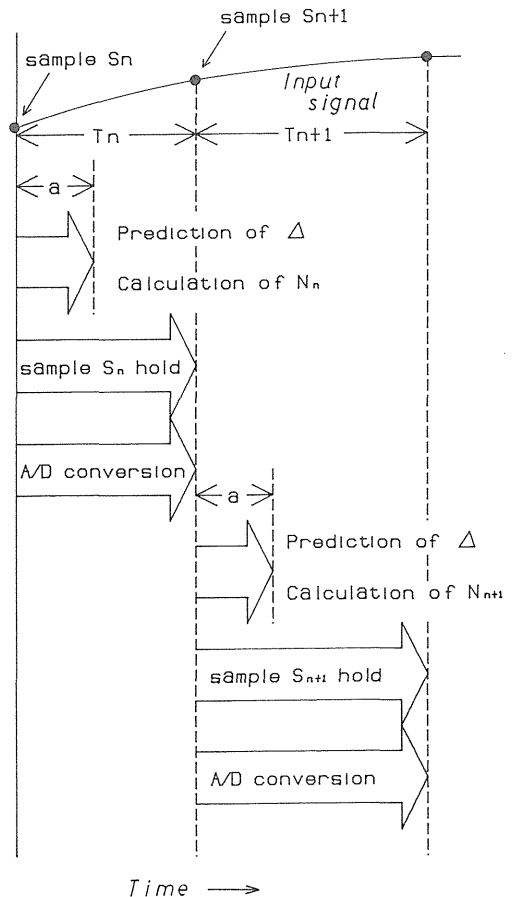


Fig. 9 Timing diagram of adaptive A/D converter.

$$N_{pre} = \log_2 \frac{\ln 2 \cdot |V_{fs}|}{|\Delta_{pre}| \cdot b}$$

$$= \log_2 \frac{\ln 2 \cdot |V_{fs}|}{|\Delta + \epsilon| \cdot b} \quad (18)$$

である。したがって、 ϵ による最適分解能の予測誤差 E_N は、

$$E_N = N_{pre} - N$$

$$= -\log_2 |1 + \epsilon / \Delta| \quad (19)$$

となる。 E_N は $\epsilon = -\Delta$ で $+\infty$ に発散するが、これは予測を行った時刻、すなわち前述の t_{n-1} においてパラメータ Δ が不連続で、 $t < t_{n-1}$ で $\Delta = 0$ となった場合である。しかしながら、分解能の可変範囲は有限であるから、 E_N は可変範囲の上限値で抑えられる。

Fig.10 には上述の予測法に基づく適応形 A/D 変換のシミュレーション結果 (補間処理モデル)を示す。入力変化の速い時間領域では、 Δ として理論値を用いた場合よりも予測値を用いた場合の方が歪み測度がやや大きくなっているが、適応化の効果が十分に認められる。

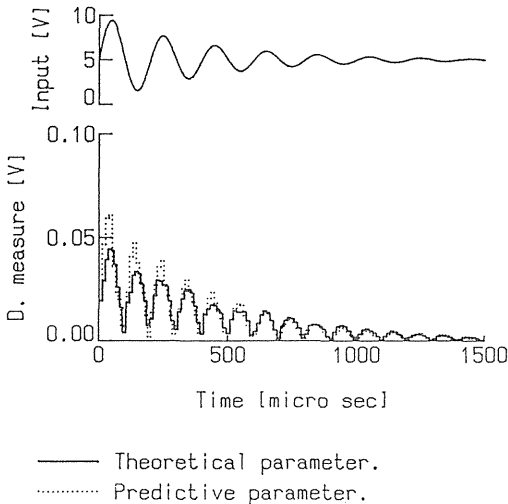


Fig. 10 Simulated characteristics of adaptive A/D converter with interpolation.

6. 考 察

まず、3., 4.で示したシミュレーション及び実験の結果について考察を加える。

Fig.3及びFig.6より、直接処理モデルにおいては、

入力信号の変化が速い場合には、分解能が高くても変換速度が遅い従来の A/D 変換では歪み測度が大きく、一方、入力信号の変化が遅い場合には、変換速度が高くても分解能の低い従来の A/D 変換では歪み測度が大きくなっている。すなわち、入力信号の変化速度の増加にもない、分解能よりも変換速度を優先させた変換を行う方がより忠実な A/D 変換が可能になる。

Fig.4及びFig.7より、補間処理モデルにおいては、変換速度が速くても分解能の低い従来の A/D 変換では、入力信号の変化の速度にかかわらず、歪み測度は常に大きい。これは、本モデルにおいては、変換速度に起因する歪み測度よりも分解能に起因する歪み測度、すなわち量子化誤差に依存する歪み測度の方が全歪み測度に与える影響が大きいことを意味する。一方、低変換速度・高分解能な従来の A/D 変換では、入力信号の変化が速い場合に歪み測度が大きくなっている。これは入力信号の変化速度が大きくなるほど顕著になる。換言すれば、本モデルにおけるパラメータ Δ 、すなわち入力信号の 2 階差分が増加するほど、分解能よりも変換速度を優先させた方が歪み測度が小さくなることを示している。

次に、シミュレーション結果と実験結果について比較検討する。シミュレーションでは理想的な A/D 変換器を想定したのに対し、実験で用いた A/D 変換器は変換特性に非直線性などの誤差要因を有する。また、シミュレーションでの分解能の可変範囲は 1~12 ビットであるのに対し、実験では 1~8 ビットである。シミュレーション結果よりも実験結果の方が全体的に歪み測度が大きくなっているのはこれらの原因による。非直線性による変換誤差は、2.2 で述べた直接処理モデル及び補間処理モデルにおいても、量子化誤差に重畳されると考えてよい。しかしながら、実験結果より、適応形 A/D 変換法と従来の A/D 変換法における歪み測定の相対的な関係がシミュレーション結果とよく一致しており、A/D 変換器の動作条件が同じである場合には、適応形 A/D 変換法は従来の A/D 変換法に比べ、歪み測度を小さく保つ変換法であることがわかる。

なお、2.2 で述べた理論上の分解能及び変換速度の最適条件はワースト・ケースにおける全歪み測度を最小とするものであるため、ワースト・ケース以外の場合では、適応形 A/D 変換法よりも従来の A/D 変換法における全歪み測度の方が小さくなることもあり得る。しかしながら、連続的な動作における平均的な特性としては、本節の始めに述べたような適応形 A/D 変換法の効果が確

認できる。

7. むすび

A/D変換器において、そのアルゴリズムに起因する特性として、一般に変換速度は分解能の関数として表され、分解能の向上は変換速度の低下を招く。したがって、任意のアナログ入力信号に対して分解能と変換速度の最適条件が存在する。本論文では、A/D変換器の再生出力の入力信号に対する忠実度を歪み測度で表し、これを最小にするという観点から最適条件を求めた。また、この条件を常に満足するようにA/D変換を行うことにより、低歪みのA/D変換が可能であることをシミュレーション及び実験により示した。さらに、このような適応動作の実現に必要な入力信号の変化を表すパラメータの予測法を含めて、適応形A/D変換器の一構成例を提案し、シミュレーションによりその有効性を確認した。

本A/D変換器はアナログ信号の数値解析、波形記憶等、入力信号に対する追従性を重視する場合などに有利であると考えられるが、伝送ビット・レート等に関する問題を含む出力形式、さらに復調等の問題を検討することにより、通信分野などへの応用も期待される。また、入力信号やA/D変換器の特性に関して、適応化が有効となる条件の解析も今後の課題である。

謝 辞

本研究を進めるうえで、実験に関して御協力いただいた本学卒業生の柏樹芳雄氏に感謝致します。

参 考 文 献

- (1) A.G.F Dingwall: *IEEE J. Solid-State Circuits*, "Monolithic expandable 6 bit 20 MHz CMOS /SOS A/D converter", SC-14, (1979), pp. 926-932
- (2) Ken Martin: *Conf. Circuits Syst. Compt.*, "A high speed, high accuracy pipeline A/D converter", (1981), pp. 489-492
- (3) S. Masuda, Y. Kitamura, S. Ohya, and M. Kikuchi: *Proc. Custom Integrated Circuits Conference*, "A CMOS pipeline Algorithmic A/D converter", (1984), pp. 559-562
- (4) T. Tsukada, K. Takagi, Y. Kita, and M. Nagata: *IEEE J. Solid-State Circuits*, "An automatic error cancellation technique for high accuracy A/D converter", SC-19, (1984), pp. 266-268
- (5) R. Burrier, R. Mangiapane, J. Rhodes, R. Duris, and C. Sabolis: *Electronic Design Sep. 6*, "Floating-point converter uses hardware to get a 20-bit dynamic range", (1984), pp. 175-186
- (6) H.-S. Lee, D. A. Hodges, and P. R. Gray: *IEEE J. Solid-State Circuits*, "A self-calibrating 15 bit-CMOS A/D Converter", SC-19, (1984), pp. 813-819
- (7) S. Kuboki, K. Kato, N. Miyakawa, and K. Matsubara: *IEEE Trans. Circuits & Syst.*, "Nonlinearity analysis of resistor string A/D Converters", CAS-29, (1982), pp. 383-390
- (8) C. E. Shannon: *The Bell Syst. Tech. J.*, "A Mathematical Theory of Communication", 27, (1948), pp. 379-423, 623-656
- (9) S. K. Tewksbury, R. W. Hallock: *IEEE Trans. Circuits & Syst.*, "Oversampled, Linear Predictive and Noise-Shaping Coders of Order $N > 1$ ", CAS-25, (1978), pp. 463-447
- (10) A. V. Oppenheim, A. S. Willsky, 伊達 玄訳: "信号とシステム(3)", 初版, コロナ社, (1985), pp. 116-129
- (11) 南 茂夫: "科学計測のための波形データ処理", 初版, CQ出版, (1986), p. 47
- (12) 田崎, 山田: 電子情報通信学会誌, "ベクトル量子化", 67, (1984), pp. 532-536
- (13) 山田, 田崎: 電子情報通信学会論文誌, "画像信号を対象としたベクトル量子化器設計", J66-B, (1983), pp. 965-972
- (14) A. Buzo, A. H. Gray Jr., R. M. Gray, and J. D. Markel: *IEEE Trans. Acoust. Speech & Signal Process.*, "Speech coding based upon vector quantization", ASSP-28, (1980), pp. 562-574
- (15) Y. Yamada, S. Tazaki, and R. M. Gray: *IEEE*

Trans. Inf. Theory, "Asymptotic performance of (16) 森田 清: "情報と予測", 共立出版, (1973),
block quantizer with difference distortion pp. 142-153
measures", IT-26, (1980), pp. 6-14